

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-243922

(43)Date of publication of application : 11.10.1988

(51)Int.Cl.

G02F 1/133
G09G 3/36

(21)Application number : 62-076357

(71)Applicant : CANON INC

(22)Date of filing : 31.03.1987

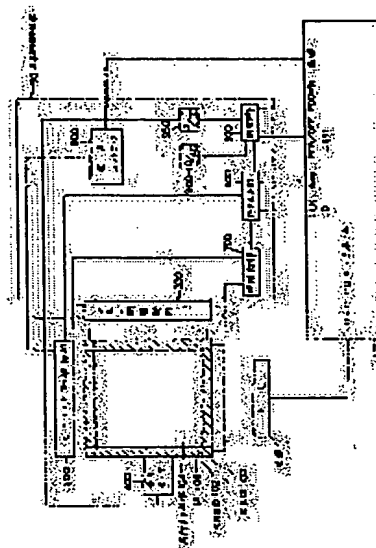
(72)Inventor : INOUE YUJI

(54) DISPLAY CONTROLLER

(57)Abstract:

PURPOSE: To permit continuous or discontinuous refresh driving regardless of whether there is a change of display contents or not by providing a means for waiting the input of image data from a host device and starting an operation according to the input.

CONSTITUTION: The Busy means for waiting the input of the image data D from the host device is provided and the operation is started according to the input of the data D, by which the continuous refresh driving is permitted regardless of whether there is a change of the display contents or not. Such discontinuous driving as to update the display data only when the change of the display content arises is also possible. Since the refresh driving is possible, a need for updating the specifications of the existing host device is substantially eliminated. Since the discontinuous driving is permitted, the reduction of electric power consumption is permitted as well and further, the host device is required merely to transmit the data only when the need for updating the image plane arises and, therefore, the host's burden on software and hardware is decreased.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A)

昭63-243922

⑤ Int. Cl.⁴

G 02 F 1/133
G 09 G 3/36

識別記号

3 3 4

庁内整理番号

8708-2H
8621-5C

⑬ 公開 昭和63年(1988)10月11日

審査請求 未請求 発明の数 1 (全61頁)

⑭ 発明の名称 表示制御装置

⑮ 特 願 昭62-76357

⑯ 出 願 昭62(1987)3月31日

⑰ 発 明 者 井 上 裕 司 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
⑱ 出 願 人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
⑲ 代 理 人 弁理士 谷 義 一

明 細 書

1. 発明の名称

表示制御装置

2. 特許請求の範囲

記憶性を有する表示素子で構成した表示装置に組合され、画像データ供給源からの画像データ入力の有無を判定する判定手段と、当該判定に応じて前記表示装置の駆動を行う制御手段とを具えたことを特徴とする表示制御装置。

(以下、余白)

3. 発明の詳細な説明

【産業上の利用分野】

本発明は、表示制御装置に関し、詳しくは記憶性を有する表示装置、例えば強誘電性液晶素子を用いた表示装置に適用して好適な表示制御装置に関するものである。

【従来の技術】

従来、表示装置において、液晶化合物を用いた液晶表示素子としては、走査電極群と信号電極群をマトリックス状に構成し、その電極間に液晶化合物を充填し、多数の画素を形成して画像情報の表示を行うものが知られている。

この表示素子の駆動法としては、走査電極群に、順次、周期的に電圧信号を印加し、信号電極群には所定の情報信号を、走査電極群の信号に同期させて並列的に印加する時分割駆動が用いられている。このような表示素子およびその駆動方法は、画素密度を高く、あるいは画面を大きくすることが困難であるという問題点を有していた。

すなわち、従来の液晶の中で応答速度が比較的

高く、しかも消費電力が小さいことから、表示素子として実用に供されているのは殆どTN(twisted nematic)型の液晶であり、この型の液晶は、第41図(A)に示すように、無電界状態で、正の誘電異方性をもつネマチック液晶分子が、液晶層厚方向でねじれた構造(ヘリカル構造)を形成し、両電極間でこの液晶の分子が各層毎に、互いにおよび電極面に並行にかつねじれた(ツイストした)構造を形成している。一方、第41図(B)に示すように、電界印加状態では、正の誘電異方性をもつネマチック液晶分子が電界方向に配列し、この結果光学変調を起こすことができる。このような液晶を用い、マトリックス電極構造によって表示素子を構成した場合、走査電極と信号電極が共に選択される領域(選択点)には、液晶分子を電極面に垂直に配列させるに要する閾値以上の電圧が印加され、走査電極と信号電極が共に選択されない領域(非選択点)には電圧は印加されず、従って液晶分子は電極面に対して並行でねじれた(ツイストした)安定配列を保っている。このような液晶

選択点と非選択点とにかかる実効値としての電圧差は、走査線数が増えれば増える程小さくなり、結果的には画像コントラストの低下やクロストークが避け難い問題点となっている。

このような現象は、双安定状態を有さない、従来の表示素子に用いられた液晶(電極面に対し、液晶分子が水平に配向しているのが安定状態であり、電界が有効に印加されている間のみ垂直に配向する)を、時間的蓄積効果を利用して駆動する(すなわち、繰り返し走査する)ときに生じる本質的には避け難い問題点である。このような問題点を改良するために、電圧平均化法、2周波駆動法や多重マトリックス法等が既に提案されているが、いずれの方法でも不充分であり、表示素子の大幅面化や高密度化は、走査線数が十分に増やせないことによって頭打ちになっている状況であった。

これに対して、上述した問題点を解決する方法として、例えば、特開昭59-193426号公報、あるいは特開昭60-33535号公報において、本願人

セルの上下に、互いにクロスニコル関係にある直線偏光子を配置することにより、選択点では光が透過せず、非選択点では液晶のねじれ構造と旋光性により光が透過するため、画像素子とすることが可能となる。

しかしながら、マトリックス電極構造を構成した場合、走査電極が選択され、信号電極が選択されない領域あるいは、走査電極が選択されず、信号電極が選択される領域(いわゆる“半選択点”)にも有限の電界がかかってしまう。選択点にかかる電圧と、半選択点にかかる電圧との差が十分に大きく、液晶分子を電極面に垂直に配列させるに要する電圧閾値がこの中間の電圧値に設定されるならば、表示素子は正常に動作するわけである。

しかし、この方式において、走査線数(N)を増やして行った場合、画面全体(1フレーム)を走査する間に一つの選択点に有効な電界がかかっている時間(duty比)は、 $1/N$ の割合で減少してしまう。このために、くり返し走査を行った場合の

は、電界に対して双安定状態を有する液晶の駆動法について提案を行っている。上記駆動法で用いることができる液晶としては、強誘電性を有するカイラルスメクティック液晶が最も好ましく、そのうち、カイラルスメクティックC相(S_mC*)またはH相(S_mH*)の液晶が適している。

S_mC*は第42図に示すように、液晶分子が平行に層構造をとり、分子の長軸方向が層に対して傾きを持っている。これら液晶分子は層ごとに傾く方向が異なり、結果としてらせん構造を構成する。

S_mH*は第43図に示すように、分子が並行に層構造をとり、分子の長軸方向が層に対して傾きを持ち、分子の長軸に垂直な面で六方充填構造を有する。

S_mC*およびS_mH*は液晶分子によるらせん構造を有しており、第44図にその模式図を示す。

図において、e3は液晶分子、e4は電気双極子モーメント、e5は層境界面をそれぞれ示している。ここで、各々の液晶分子e3はその長軸方向と直交

した方向に双極子モーメントを有し、屈折界面 $e5$ と直交するZ軸と一定の角度 θ を保ちながら運動を行い、らせん構造を構成している。またこの図は、電圧が印加されていない状態を示しており、仮に、X軸方向に一定の閾値以上の電圧を印加すれば、液晶分子 $e3$ は、電気双極子モーメント $e4$ がX軸と平行になるように配向する。

SmC^* 相または SmH^* 相は、温度状態による相転移の1つの相として実現されるから、これらの液晶化合物を用いる場合、表示装置が使用される温度範囲に応じて素子の選択を行うのが好適である。

第45図は、上述した強誘電性液晶（以後FLC: Ferroelectric Liquid Crystalと呼ぶ）を用いたセルの例を模式的に示したものである。 $e1$ と $e1'$ は、 In_2O_3 、 SnO_2 あるいはITO(Indium-Tin Oxide)等の透明電極がコートされた基板（ガラス板）であり、その間に液晶分子層 $e2$ がガラス面に垂直になるよう配向した SmC^* 相の液晶が封入されている。太線で示した液晶分子 $e3$ は、その分子 $e3$ に直

向きあるいは下向きと向きを変え、それに応じて液晶分子は第1の安定状態 $f3$ あるいは第2の安定状態 $f3'$ の何れか一方に配向する。

このようなFLCを光学変調素子として用いることの利点は2つある。第1に、応答速度が極めて高いこと（ $1\mu\text{sec} \sim 100\mu\text{sec}$ ）、第2に、液晶分子の配向が双安定状態を有することである。

第2の点を例えば第46図によって説明すると、電界 E を印加すると液晶分子 $e3$ は第1の安定状態 $f3$ に配向するが、この状態は電界を切っても安定である。また、逆向きの電界 E' を印加すると、液晶分子 $e3$ は第2の安定状態 $f3'$ に配向して、その分子の向きを変えるが、やはり電界を切ってもこの状態に留まっている。すなわち、液晶分子 $e3$ は記憶性を有することになる。また、与える電界 E が一定の閾値を越えない限り、それぞれの配向状態に維持されている。

このような応答速度の高さと、記憶性が有効に実現されるには、セルとしてはできるだけ薄い法が好ましく、一般的には、 $0.5\mu\text{m} \sim 20\mu\text{m}$ 、特

交した方向に双極子モーメント $e4$ を有している。基板 $e1$ と $e1'$ 上の電極間に一定の閾値以上の電圧を印加すると、液晶分子 $e3$ のらせん構造がほどけ、双極子モーメント $e4$ はすべて電界方向に向くよう、液晶分子 $e3$ の配向方向を変えることができる。液晶分子 $e3$ は、細長い形状を有しており、その長軸方向と短軸方向で屈折率異方性を示し、従って例えばガラス面の上下に配向の方向とクロスニコルの位置関係に配置した偏光子を置けば、電圧印加極性によって光特性が変わる液晶光学変調素子となることは、容易に理解される。

さらに、液晶セルの厚さを十分に薄くした場合（例えば $1\mu\text{m}$ ）には、第46図に示すように電界を印加していない状態でも液晶分子のらせん構造はほどけ、その双極子モーメント P あるいは P' は図中上向きあるいは下向きのどちらかの状態をとる。このようなセルにおいて、第46図に示す如く一定の閾値以上の極性の異なる電界 E あるいは E' を所定時間付与すると、双極子モーメントは電界 E あるいは E' の電界ベクトルに対応して上

に $1\mu\text{m} \sim 5\mu\text{m}$ が通している。

次にFLCの駆動法の概略を、第47図～第49図を参照して説明する。

第47図は、中間にFLC化合物（不図示）が挟まれたマトリクス電極構造を有するセルの模式図である。 com は走査電極群であり、 seg は信号電極群である。最初に走査電極 $com1$ が選択された場合について述べる。

第48図(A)および第48図(B)は走査信号の一例であって、それぞれ選択された走査電極 $com1$ に印加される電気信号と、それ以外の走査電極（選択されない走査電極） $com2, com3, com4$ に印加される電気信号を示している。第48図(C)および第48図(D)は、情報信号の一例であって、それぞれ、選択された信号電極 $seg1, seg3, seg5$ と選択されない信号電極 $seg2, seg4$ とに与えられる電気信号を示している。

第48図および第49図においては、それぞれ横軸が時間を、縦軸が電圧を表す。例えば、動図を表示するような場合には、走査電極群 com は逐次、

周期的に選択される。今、所定の電圧印加時間 Δt_1 または Δt_2 に対して双安定性を有する液晶セルの、第1の安定状態を与えるための閾値電圧を $-V_{th1}$ とし、第2の安定状態を与えるための閾値電圧を $+V_{th2}$ とすると、選択された走査電極 $con(con1)$ に与えられる電極信号は、第48図(A)に示される如く位相(時間) Δt_1 では $1V$ を、位相(時間) Δt_2 では $-1V$ となるような交番する電圧である。このように選択された走査電極に互いに電圧の異なる複数の位相間隔を有する電気信号を印加すると、光学的「暗」(黒)あるいは「明」(白)状態に相当する液晶の第1あるいは第2の安定状態間での状態変化を速やかに起こさせることができる。

一方、それ以外の走査電極 $con2 \sim con5$ は第48図(B)に示す如くセル印加電圧の中心電圧、すなわち基準電位(例えばアース状態)となっている。また選択された信号電極 $seg1, seg3, seg5$ に与えられる電気信号は、第48図(C)に示される如く V であり、また選択されない信号電極 $seg2, seg4$

される電圧は V または $-V$ であって、いずれも閾値電圧を越えない。従って、選択された走査線上以外の各画素における液晶分子は、配向状態を変えことなく前回走査されたときの信号状態に対応した配向を、そのまま保持している。すなわち、走査電極が選択されたときにその1ライン分の信号を書き込みが行われ、1フレームが終了して次回選択されるまでの間は、その信号状態を保持し得るわけである。従って、走査電極数が増え、実質的な選択時間/ラインは変わらず、コントラストの低下は全く生じない。

以上記述してきたように、従来のTN型液晶を用いた表示素子の有する問題点を解決するため、電界に対して双安定性を有し、さらに電界の印加されない場合にも、その安定状態を維持し得るような表示素子を実現するFLCについての提案が行われてきたわけであるが、このFLCを用いた表示素子の具体的な駆動制御に関して、様々な考慮すべき特性が存在している。

に与えられる電気信号は、第48図(D)に示される如く $-V$ である。以上において各々の電圧値は、以下の関係を満足する所望の値に設定される。

$$V < V_{th2} < 3V$$

$$-3V < -V_{th1} < -V$$

このような電気信号が与えられたときの各画素のうち、例えば第47図中の画素AとBとにそれぞれ印加される電圧波形を第49図(A)と(B)とに示す。すなわち、第49図(A)と(B)より明らかな如く、選択された走査線上にある画素Aでは、位相 Δt_2 において、閾値 V_{th2} を越える電圧 $3V$ が印加される。また、同一走査線上に存在する画素Bでは位相 Δt_1 において閾値 $-V_{th1}$ を越える電圧 $-3V$ が印加される。従って、選択された走査電極線上において、信号電極が選択されたか否かに応じて、選択された場合には、液晶分子は第1の安定状態に配向し、選択されない場合には第2の安定状態に配向する。

一方、第49図(C)および(D)に示される如く、選択されない走査線上では、すべての画素に印加

【発明が解決しようとする問題点】

本発明の目的は、このような記憶性を有する誘電性液晶素子を用いて表示装置を構成する場合において、その特性を有効に活用しつつ適切な駆動制御を行うことのできる表示制御装置を提供することにある。

【問題点を解決するための手段】

そのために、本発明は、記憶性を有する表示素子で構成した表示装置に組合され、画像データ供給源からの画像データ入力の有無を判定する判定手段と、当該判定に応じて表示装置の駆動を行う制御手段とを具えたことを特徴とする。

【作用】

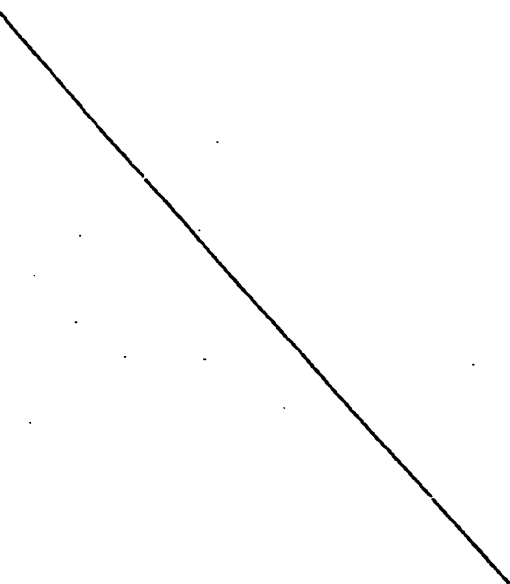
本発明によれば、画像データ供給源からの画像データの入力を待機し、その入力に応じて表示装置駆動の開始を行うようにしたので、記憶性を有さない表示素子を用いた表示器に対してと同様の、表示内容の変更の有無に関わらず連続して行うリフレッシュ駆動が可能であるのみならず、表示内容の変更が生じたときのみ表示データを更

新するような不連続の駆動も可能となる。

〔実施例〕

以下、図面を参照して本発明を詳細に説明する。

なお、説明は次の手順で行う。



- (1) 装置の概要
- (2) 表示器の構成
- (3) 表示制御の概要
 - (3.1) 表示器の枠
 - (3.2) 表示素子の駆動波形
 - (3.3) 表示素子の駆動電圧
 - (3.4) 温度補償
 - (3.5) 表示器の駆動方式
 - (3.6) 表示画面のクリア
- (4) 表示制御装置各部の構成
 - (4.1) 主要な記号
 - (4.2) 制御部
 - (4.3) メモリ空間
 - (4.4) データ出力部、
 - (4.5) A/D 変換部

- (4.6) D/A 変換部および電源コントローラ
- (4.7) 枠駆動部
- (4.8) 表示器駆動部
 - (4.8.1) セグメント側駆動部
 - (4.8.2) コモン側駆動部
- (4.9) 駆動波形
- (5) 表示制御
 - (5.1) 制御手順の概要
 - (5.2) 制御手順の詳細
 - (5.2.1) 電源オン（初期時）
 - (5.2.2) ブロックアクセス
 - (5.2.3) ラインアクセス
 - (5.2.4) 電源オフ

- (6.5) 画面強制クリアの効果
- (6.6) 電源コントローラ配設の効果
- (7) 変形例
 - (7.1) 枠の構成
 - (7.2) 温度補償のタイミングおよび部分書換え
 - (7.3) 1 水平走査期間および駆動電圧値
 - (7.4) 波形の設定
 - (7.5) ブロックアクセスあるいはラインアクセスの選択
 - (7.6) 走査線数
 - (7.7) 有効表示領域の消去
 - (7.8) 温度センサの位置
 - (7.9) 表示器、表示制御装置およびワードプロセッサ

- (6) 実施例の効果
 - (6.1) 枠形成の効果
 - (6.2) 温度補償の効果
 - (6.3) 画像データ入力に応動させた制御の効果
 - (6.4) 表示器駆動部配設の効果

(1) 装置の概要

第1図は本発明の一実施例を示す。ここで、1 は本例に係る表示器に対し表示に係る画像データ

の供給源をなすホスト装置としてのワードプロセッサ本体である。50は本例に係る表示制御装置であり、ワードプロセッサ本体1より供給される表示データ等につき、後述の諸条件等に応じて表示器の駆動制御を行う。100はFLCを用いて構成した表示器である。200および300は、表示制御装置本体50側より供給される駆動データ等に応じて、それぞれ、表示器100に設けられる信号電極を駆動するセグメント側駆動部および走査電極を駆動するコモン側駆動部である。400は表示器100の適切な位置、例えば平均温度を呈する部位に設けた温度センサである。

表示器100において、102は表示画面、104は表示画面102上の有効表示領域、106は表示画面102上の有効表示領域104外に設けた枠部である。本例においては、枠部106に対応する電極を表示器100に配置し、これを駆動して画面102上に枠部を形成するようにしている。

表示制御装置50において、500は第11図につき後述する制御部であり、表示器100やワードプロ

る。

ワードプロセッサ本体1は、表示器100ないし表示制御装置50に対して表示データの供給源をなすホスト装置としての機能を有するものであり、無論他の形態のホスト装置、例えばコンピュータや画像読取装置等との代替が可能であるが、いずれにしても本例にあっては、以下の諸データを授受できるものとする。すなわち、まず表示制御装置50に供給するデータとして、

D : 画像データ、データの表示位置を指定するためのアドレスデータ、水平同期信号を含む信号。

画像データの表示アドレス（有効表示領域104上の表示装置に対応）を指定可能とするためのアドレスデータは、有効表示領域104に対応したVRAMを有するホスト装置であれば、例えばそのアドレスデータをそのまま出力するようにすることもできる。本例にあっては、ワードプロセ

ッサ本体1との各種データの送受信の制御等を行う。600は第16図につき後述するデータ出力部であり、ワードプロセッサ本体1から供給される表示データについての、制御部500からの設定データ等に応じた表示駆動部200、300等の駆動や制御部500のデータ設定のための起動等を行う。700は枠駆動部であり、データ出力部600からの出力データに基づいて表示画面102上に枠部106を形成する。

800は電源コントローラであり、制御部500の制御の下に、ワードプロセッサ本体1からの電圧信号を適切に変圧して表示駆動部200、300が電極に印加する電圧を生成する。900は制御部500と電源コントローラ800との間に配置されたD/A変換部であり、制御部500のディジタル量の設定データをアナログ量のデータに変換して電源コントローラ800に供給する。950は温度センサ400と制御部500との間に配設されたA/D変換部であり、表示器100で検出されたアナログ量の温度データをディジタル量に変換して制御部に供給す

ッサ本体1がこの信号を水平同期信号もしくは帰線消去信号に重畳して、データ出力部600に供給する。

CLK : 画像データPD0 ~ PD3の転送クロック。

データ出力部600に供給する。

PDOWN : システムの電源を遮断する旨を通知する信号。

制御部500にノンマスカブル割込み(NMI)として供給する。

とする。

また、表示制御装置50がワードプロセッサ本体1に供給するデータとして、

P ON/OFF : システムの電源の投入に際して、並びに遮断に際して、それぞれ、表示制御装置50側が立上げ並びに立下げを完了したことを通知するステータス。

制御部500が出力する。

Light : 表示装置100 に組合される光源FL
のオン/オフを指示する信号。

制御部500 が出力する。

Busy : 表示制御装置50側が初期動作時や表示動作時において諸設定を行うために、ワードプロセッサ本体1 に対し信号Dの転送等を待機させる同期信号。すなわち、本例にあってはワードプロセッサ本体1 がこのBusy信号を受け付け可能なものとする。

制御部500 がデータ出力部600 を介して供給する。

(2) 表示器の構成

第2図および第3図は、それぞれ、FLCを用いて構成した表示器100 の一構成例を示す分解斜視図および断面図である。これら図において、110 および120 は、それぞれ、上部および下部に配置したガラス板であり、FLC素子の配向の方向に対してクロスニコルとなるように配設した偏光子を設ける。122 は下部ガラス基板120 上に設けた配

タ表示用の透明電極124、114 と同一もしくは異なる形状に設けている。

130 はFLC132の封入部であり、FLC素子の軸(第44図のZ軸)を合せるための1対の配向膜138 と、その軸に対してFLC素子が第45図に示したような第1または第2の安定状態をとるように配向膜136 間の距離を規定するためのスペーサ134 とを有する。140 はFLC132を封止するエポキシ等のシール材、142 は封入部130 内にFLC132を充填するための充填口、144 は当該充填後に充填口142 を封止する封口部材である。

210 および310 は、それぞれ、セグメント側駆動部200 の構成要素をなすセグメント駆動エレメントおよびコモン側駆動部300 の構成要素をなすコモン駆動エレメントであり、本例にあっては80本の透明電極を駆動する集積回路とし、それぞれ、10個および5個配設する。280 および380 は、それぞれ、セグメント駆動エレメント210 を駆動する基板、およびコモン駆動エレメント310 を駆動する基板、282 および382 は、それぞれ、

線部であり、例えば170 等の透明電極124 および絶縁膜128 から成る。128 は電極低抵抗化が必要なときに透明電極124 上に付加する金属層であり、表示器が小形のときには付加しなくてもよい。112 は上部ガラス基板110 に設けた配線部であり、下部ガラス基板120 の配線部122 における各部124 および126 とそれぞれ同様の透明電極114 および絶縁膜118 等から成る。

配線部112 および122 の配線方向は互いに直交する方向である。また、例えば有効表示領域104 をA5版の寸法とし、その長辺を水平走査方向として用い、400×800ドットの解像度をもたせるのであれば、有効表示領域に対応させて配線部には、400本または800本の透明電極群を設けておく。本例においては、水平走査方向をコモン側とし、上部の配線部112 に400本の透明電極114の群を、下部の配線部122 に800本の透明電極124の群を設けている。また、表示画面102の内側の有効表示領域104の外側に対応する部分には、枠を表示するための透明電極150、161の群を、デー

基板280 および380 に接続されるフレキシブルケーブル、298 はフレキシブルケーブル282 および382 を接続し、第1図示の表示制御装置50に結合するコネクタである。

115 および125 は、それぞれ、透明電極114 および124 に連続して形成した取出し電極であり、それぞれ、フィルム状の導電部材284 および284 を介して、駆動エレメント310 および210 に接続する。

なお、本例においては、下部ガラス基板120の下方に配置した光源FLにより光を照射し、FLC素子を第1または第2の安定状態に駆動することによって表示を行う。

(3) 表示制御の概要

第2図および第3図に示したような表示器を適用する場合には、FLC素子の特性に関して以下のような諸問題点があり、本例においてはそれらに特に着目してFLC素子を用いた表示器100の適切な構成、並びにその適切な駆動制御の実現を図る。

(3.1) 表示器の枠

第2図および第3図示のように表示器100を構成した場合、コモン側の透明電極114の群およびセグメント側の透明電極124の群がマトリクス状に配置された範囲に対応した表示画面102上の領域を、実際に画像データを表示可能な領域、すなわち有効表示領域104とする訳であるが、それらコモン側およびセグメント側の透明電極群のマトリクス状配置範囲外であってシール材140内側の少なくとも一部分に対応した領域も含めて表示画面102とするのが、有効表示領域104を完全に視認可能とする上で望ましい。

しかしながら、コモン側およびセグメント側の透明電極群を配置したのみでは、そのような一部分にはいずれか一方の側の電極群が通っているだけであり、従ってその部位のFLCは画像データの表示には係らず、浮いたものとなる。すなわち、このような状態ではその部分のFLCは第1または第2の安定状態を取り得るので、その部分に対応した表示画面102上の領域には光の透過領域

値の印加時間依存性に起因するところの、駆動波形に係る問題点およびその解決法について、以下に説明する。

第47図において、走査電極com1~com5と信号電極seg1~seg5の交点で形成する画素のうち、斜線部の画素は「明」状態（白）に、白地で示した画素は「暗」状態（黒）に対応するものとする。これらの状態は前述したFLCの第1の安定状態および第2の安定状態に対応するものである。今、第47図中の信号電極seg1上の表示に注目すると、走査電極com1に対応する画素Aでは「明」状態であり、それ以外の画素Bはすべて「暗」状態である。

第5図(A)は、この場合の駆動波形の1例として、走査信号と、信号電極seg1に与えられる情報信号と、画素Aに印加される電圧とを時系列的に表したものである。

例えば、第5図(A)のように駆動を行った場合、走査電極com1が走査されたとき、時間 Δt_1 において画素Aには、閾値 V_{th} を超える電圧3Vが印

（白）と非透過領域（黒）とが混在することになり、この結果表示の美観を損ねるのみならず有効表示領域104の明示が困難となったり、操作者に錯覚を起こさせる事態も生じ得る。

そこで、本例においてはそのような有効表示領域104の外側にも、コモン側またはセグメント側の透明電極と交叉する透明電極（以下、枠用透明電極という）151および150を設け、これらを適切に駆動することにより枠部106が形成されるようにする。この枠用透明電極として、上部ガラス基板110上のコモン側の透明電極114の配設範囲両側、および下部ガラス基板120上のセグメント側の透明電極124の配設範囲両側に、それぞれ、例えば16本の電極151および150を配置する。なお、第2図においては、簡略化のためにガラス基板120,110上に代表して両側の1本のみを示している。

(3.2) 表示素子の駆動波形

FLC表示素子は記憶性を有することを特長の1つとするものであるが、第4図につき後述する関

加されるため、前歴に関係なく、画素Aは一方の安定状態、すなわち「明」状態に転移する。その後、com2~com5が走査される間は第5図(A)に示される如く-Vの電圧が印加され続けるが、これは閾値 $-V_{th}$ を超えないため、画素Aは「明」状態を保ち得る。

しかしながら、このように1つの信号電極上で一方の信号（今の場合「暗」に対応）が与えられ続けるような情報の表示を行う場合には、走査線数が極めて多く、しかも高速駆動が求められるときに生じる問題がある。

このことを特徴的に示しているのが第4図であり、同図は横軸に駆動電圧値V、縦軸にパルス幅 ΔT （印加時間）をとったものである。第4図から明らかな如く、閾値 V_{th} （駆動電圧値）は印加時間依存性を持っており、さらに印加時間が短い程、曲線が急勾配になることが理解される。このことから第5図(A)において実施した如き駆動波形をとり、これを走査線数が極めて多く、しかも高速で駆動する素子に適用した場合には、例えば画素

Aはcom1走査時において「明」状態に移されてもcom2走査以降常に $-V$ の電圧が印加され続けるため、再び走査電極com1が走査されるまでの間に、印加時間の蓄積によって低い閾値でも転移が可能となり、画素Aが「暗」状態に反転してしまう危険性をもっていることがわかる。

このような現象を防ぐ駆動波形として、例えば第5図(B)に示した方法を用いることができる。この方法は、走査信号および情報信号を連続的に送るのではなく、補助信号印加期間として所定の時間間隔 $\Delta t'$ を設け、この期間に信号電極をアース状態とする補助信号を与える態様を繰り返している。この補助信号印加期間では走査電極も同様にアース状態とされるため走査電極と信号電極間に印加される電圧は基準電位で、第4図で示したFLCの閾値電圧における電圧印加時間依存性を実質的に解消することができる。従って、画素Aで生じた「明」状態が「暗」状態に反転することを防ぐことができる。また、同様のことが他の画素についても言える。

も、実際に画素Aに印加される電圧は V_{th} 以下の電圧が交番しているため、FLCにおける閾値電圧に対する電圧印加時間の依存性が解消されて、com1走査時に形成された所望の情報（この場合は「明」）が次の書き込みが行われるまでの間に反転することはない。

上述した駆動波形の2例は、説明のため概念的なものであり、後述する実施例においては、表示画面102内の有効表示領域104や枠108における駆動、あるいは実際のアクセスの態様によって、それぞれ異なった適切な駆動波形が用いられる。また上述した波形は、正負対称であったが、必ずしも対称である必要がないことは勿論のことである。

(3.3) 表示素子の駆動電圧

本例に係るFLC表示素子は、前述したように、液晶分子が電界の方向にその双極子モーメントを有するように配向し、および電界をのぞいた場合にも、かかる配向を保つことを特長とするものである。

さらに、より好ましい値の例は、第6図で示される駆動波形を走査電極と信号電極群とに印加することによって実施することができる。

第6図において、走査信号は、 $\pm 2V$ の交番するパルス信号である。該パルス信号に同期させて情報信号が信号電極群に送られるが、これは「明」または「暗」の情報に対応してそれぞれ $+V$ または $-V$ の電圧である。今、走査信号を時系列的に見て、com n (n 番目の走査電極)と、com $n+1$ ($n+1$ 番目の走査電極)が選択される間に補助信号印加期間として時間間隔 $\Delta t'$ を設ける。そして、この間に信号電極群にはcom n 走査時の信号電極群の信号と逆極性の補助信号を送ると各信号電極に与えられる時系列信号は、例えば第6図のseg1~seg3に示すようなものとなる。すなわち、第6図中の $\alpha' \sim e'$ の補助信号がそれぞれ情報信号 $\alpha \sim e$ の極性と逆転した極性となっている。このため、例えば第6図において、画素Aに印加される電圧を時系列的に見ると、1つの信号電極に同一情報信号が連続的に与えられて

ところで、以上のようにして実現される2つの安定状態の一方から他方への状態変化は、表示素子に印加される電圧値によってその態様を異にする。

すなわち、第7図(A)および(B)は、駆動電圧（印加電圧）とFLCの透過率との時間に対する変化を示したものである。同図(A)は駆動電圧が閾値電圧 $-V_{th}$ を超えた場合であり、このとき透過率は一方の状態から他方の状態（例えば「明」から「暗」）へ変化する。同図(B)は駆動電圧が閾値を超えない場合であり、このとき、液晶分子は反応するけれども、その配向を反転されるに至らず、透過率は元の状態へ戻ってしまう。

さらに、閾値は、FLCの種類で異なり、また、その駆動温度により変動する。このことは第8図につき後述する。

次に、第4図および第6図につき前述したように、駆動電圧値としては、走査信号の正負、情報信号の正負、および基準電位の5値が必要であり、これら駆動電圧は、適切な電源により後述す

る本実施例に係る装置によって生成される。

以上のことから明らかなように、駆動電圧設定に際しては、閾値等を考慮した適切な温度補償が施されねばならない。

(3.4) 温度補償

本実施例のFLC表示制御に関して、温度補償上特に考慮しなければならないのは、前述したようにSmC相のFLCが、パルス幅（電圧印加時間）、駆動電圧値等、互いに関連し合った駆動条件がFLCの温度によって大きく変動し、かつ所定温度において許容されるこれら駆動諸条件の範囲が狭く限定されるという理由から、FLC駆動時におけるきめ細かな温度補償が要請されることである。

この温度補償は、FLCの温度検出、実際上は表示画面102での周囲温度の検出と、検出温度に対応した駆動電圧値の設定と、パルス幅すなわち1水平走査期間の設定とによって行われるわけである。而るに表示画面102の動作速度等に鑑みれば、マニュアルによる補償は極めて困難である。

さらに、駆動電圧Vにも同様に、上限Vmaxおよび下限Vminが存在する。それは、主に駆動装置側の諸機能に起因するものである。

第8図は、横軸に温度Temp、縦軸に駆動電圧Vの対数をとった場合の駆動電圧と温度との関係を示しており、同図は、パルス幅ΔTを固定したときの温度変化に伴う閾値電圧値V_{th}を示している。図から明らかなように、温度が上昇すれば駆動電圧値が下がることが理解される。

第4図および第8図につき記述したことから、温度が上昇すれば駆動電圧値が低下し、あるいはパルス幅が短くなることが解かる。

第9図は以上のような駆動諸条件間の関係を、実際の駆動に供するための線図である。同図は後述するルックアップテーブルをアナログ的に示したものであり、ルックアップテーブルには、温度センサ400によって検出された値に対応して、駆動諸条件のデータが格納されている。

第9図は、横軸に温度Temp、縦軸に駆動電圧Vおよび周波数f（ $=1/\Delta T$ ）をとった線図であり、

従って、温度補償は、FLC表示素子制御における固有の要件となる。

以下、上述したパルス幅、駆動電圧値等、FLC駆動諸条件が温度変動に伴って変移する様子を説明する。

第4図は、前述したように、駆動電圧値とパルス幅との関係を示しており、本図によれば、パルス幅ΔTが短くなれば大きな駆動電圧Vが必要になることが分かる。

またパルス幅ΔTには、上限ΔTmaxおよび下限ΔTminが以下の理由によって存在する。すなわち、いわゆるリフレッシュ駆動時において、印加電圧の周波数f（ $=1/\Delta T$ ）が約30Hz以下であると、ちらつきを生じるということから周波数fに下限、すなわちΔTmaxが存在し、また、周波数fをビデオレート以上、すなわちワードプロセッサ本体1側からのデータ転送の速さ以上にとすると、表示画面102とワードプロセッサ本体1との通信が不可能となることから周波数fに上限、すなわちΔTminが存在する。

温度範囲(A)で周波数fを固定にした場合、温度Tempが上昇すると駆動電圧値Vが低下し、Vminを越えてしまう。従って温度点(D)で、より大きな周波数fを固定値とし、それに対応した駆動電圧値Vも定まる。以下、温度範囲(B)および(C)、温度点(E)で同様なそれぞれの操作が繰り返される。以上の如く形成される曲線の形状は、液晶の特性等によって異なるものであり、階段波やのこぎり波の数は適宜定めることができる。

(3.5) 表示器の駆動方式

本例においては、表示画面102へのデータアクセスの態様は、水平走査線（コモン側透明電極114に対応したライン）毎に行うラインアクセスと、数ラインを1単位としたブロック毎に行うブロックアクセスとを可能とし、予め設定されたいずれかでのアクセスを行う。また、ホスト装置たるワードプロセッサ本体1からの実アドレスデータによりアクセスに係るブロックないしラインを認識できるようにする。

ここで、第10図は有効表示領域104を所定数の

ラインを含む m 個のブロック $BLK1, \dots, BLK2, \dots, BLKm (1 \leq 2 \leq m)$ に分割した場合を示す。本例においては、垂直走査方向に400本のコモン側透明電極114(400本のライン)を有しており、20本のラインを単位として20個のブロック($m=20$)に有効表示領域104を分割する。そして、このように分割したブロックにつきデータのアクセスを行うに際しては、まずそのブロックに含まれる全ラインの表示を消去した後、そのブロックの先頭ラインから最終ラインまでの順次のデータ書き込みを行う。

一方、第2図および第3図示のように表示器100を構成した場合、FLC素子は記憶性を有するものであるから、表示画面上更新しないデータはリフレッシュを行わなくてもよく、変更に係るデータのみを表示画面にアクセスしても足りることになる。

本例においては、ホスト装置であるワードプロセッサ本体1の機能に応じ、有効表示領域104の先頭ラインから最終ラインまでの表示を絶えずリ

本例においてFLC素子は記憶性を有しているため、電圧の印加がなくても第1または第2の安定状態を保つものである。換言すれば、電圧の印加が無い限り、以前の画面を保持していることになる。

従って、電源遮断時には表示画面102、少なくとも有効表示領域104をクリアするのが望ましい。例えば、表示画面102の状態によって電源遮断が認識できるからである。また、何らかの要因によって電源遮断中において表示画面のクリア状態が変化し、無意味のデータが表示されていることも考えられるので、使用時における実際の表示データと無意味のデータとの混在を防止する上で電源投入時において有効表示領域104をクリアするのが望ましい。

この点に着目して、本例においては、電源投入時において有効表示領域104をクリアすると共に枠106を形成し、電源遮断時においてもそれらをクリアするようにする。また、有効表示領域106のクリアにあたっては、上記(3.5)で述べたよう

にリフレッシュするリフレッシュ駆動、すなわち記憶性を有さない表示器を駆動する場合のいわゆるリフレッシュ駆動と同等のリフレッシュ駆動と、変更が生じたときにそのブロックまたはラインのみを書き換える部分書き換え駆動とを可能とする。すなわち、ワードプロセッサ本体1が、記憶性を有さない表示器に対してのリフレッシュと同様にしてリフレッシュデータを送信してくるときにはリフレッシュ動作を行い、変更が生じたときにそのブロックまたはラインの画像データを送信してくるときには部分書き換え動作を可能とする。

また、ブロックの消去やラインへの書き込み時には、上記(3.4)で述べた温度補償データに基づいた駆動を行う。温度補償データの更新は、リフレッシュ駆動モードにおいては最終ラインのアクセス終了から先頭ラインのアクセスまでの期間、すなわち垂直帰線期間に行うものとする。一方、部分書き換えを行うときには定周期割込みにて一定期間毎に行うことができる。

(3.6) 表示画面のクリア

なブロック消去を、全ブロックについて行うようにする。

さらに、このようなクリアに際しては、ホスト装置たるワードプロセッサ本体1から画面消去のデータ(例えば全白のデータ)の供給を受けなくても、自らそれが行えるように構成して、ワードプロセッサ本体1の負担の軽減、および転送を不要とすることによるクリアの高速化を図る。

(4) 表示制御装置各部の構成

「(3) 表示制御の概要」で述べた各機能を実現するための表示制御装置50の各部について詳述する。

(4.1) 主要な記号

まず、各部間等において授受される信号ないしデータについてまとめる。

信 号	信 号 名	出 力 側	入 力 側	内 容
Tout	システムクロック	制御部500 (PORT2)	データ出力部600	データ出力部600 の動作の基本クロック。 制御プログラム上の時間と表示上の時間との同期をとり、常に安定した1水平走査期間を確保すべく制御部500 にも入力する。
IRQ1 IRQ2	ラインアクセス割込み ブロックアクセス割込み	データ出力部600 データ出力部600	制御部500 (PORT5) 制御部500 (PORT5)	ワードプロセッサ本体1 が供給する実アドレスデータに応じてデータ出力部600 が発生する割込み信号IRQ に応じ、設定によりいずれかが制御部500 に入力。
MR	メモリレディ	MR発生部	制御部500 (PORT5)	D/A 変換部300 のアクセスのタイミングをとるための信号。
INTR	A/D 変換終了通知	A/D 変換部350	制御部500 (PORT4)	検出された温度データのA/D 変換が終了した旨を通知する信号
BUSY	ビジー	制御部500 (PORT9)	データ出力部600	ワードプロセッサ本体1 に通知すべくデータ出力部600 に送出される。
Light	光源制御信号	制御部500 (PORT6)	ワードプロセッサ本体1	光源FLの点灯 (オン) / 消灯 (オフ) を要求する。
POW/OFF	パワーステータス	制御部500 (PORT6)	ワードプロセッサ本体1	電源オン/オフ時の処理を要求する。
DACT	パネルアクセス識別信号	制御部500 (PORT8) データ出力部600 (ゲートアレイ600)	データ出力部600 (DACT 発生部)	有効表示領域104 のアクセス/ノンアクセスを識別するための信号。
RD	リード信号	制御部500 (PORT7)	A/D 変換部350 データ出力部600	入力側各部からデータを送出するための制御信号。
WR	ライト信号	制御部500 (PORT7)	A/D 変換部350 D/A 変換部300 データ出力部600	各部がデータを送込むための制御信号。

信 号	信 号 名	出 力 側	入 力 側	内 容
DD0 ~ DD7	システムのデータバス上のデータ	各 部	各 部	
AO~A15	アドレス信号	制御部500 (PORT1, PORT4)	データ出力部600	データ出力部600 に各部を選択させるのに用いる。
RES	リセット信号	制御部500 (リセット部507)	制御部500 (CPU501)	制御部500 のCPU をリセットする。
NMI (PDOWN)	ノンマスクابل割込み (パワーオフ割込み)	ワードプロセッサ本体1	制御部500 (CPU)	ワードプロセッサ本体1 がパワーオフを通知するPDOWN に応じて、これをNMI として制御部500 が適当な処理を行う。
E	クロック	制御部500 (CPU)	D/A 変換部300 データ出力部600	D/A 変換部300 またはデータ出力部600 を適切にアクセスするために信号MRによりパルス幅を変更して出力されるクロック。
DO~D3	画像データ	データ出力部600	セグメント制御駆動部200	信号Dとしてワードプロセッサ本体1 より入力される画像データより生成される。
D		ワードプロセッサ本体1	データ出力部600	表示すべきデータ、実アドレスデータ、水平同期信号を含む信号。
CLK	転送クロック	ワードプロセッサ本体1	データ出力部600	信号Dの転送クロック
A/D	アドレス/データ識別信号	データ出力部600	データ出力部600	信号Dとして送出されるデータが、画像データか実アドレスデータかを識別するための信号。
RA/D	実アドレスデータ	データ出力部600 (データ入力部601)	データ出力部600 (レジスタ630)	データに表示位置の特定に供される。1 ラインに対応し、水平同期信号に重畳されて信号Dとしてワードプロセッサ本体1 より入力されるデータから生成される。
IRQ	割込み信号	データ出力部600	制御部500	信号A/D に応じて制御部500 側に送出する。制御部500 には、設定に応じてIRQ1 またはIRQ2として与えられる。
IRQ3	内部割込み	制御部500 (タイマ)	制御部500 (CPU)	非動作状態 (スリープ状態) を解除するための内部割込み。

信 号	信 号 名	出 力 側	入 力 側	内 容
\overline{FEN}	フレームエンド信号	データ出力部800 (FEN 発生部)	データ出力部800 (ゲートアレイ800)	横断形成に供される。
$\overline{DS0}$	チップセレクト信号	データ出力部800 (デバイスセクタ)	A/D 変換部950	制御部500 からの信号A10 ~A15 に応じて発生。制御部500 から見て、各部のチップセレクト信号となる。
$\overline{DS1}$	チップセレクト信号		D/A 変換部960	
$\overline{DS2}$	チップセレクト信号		データ出力部800 (レジスタセクタ)	
$\overline{DS3}$	チップセレクト信号		未使用	
\overline{LATH}	ラッチ信号	データ出力部800	セグメント側駆動部200 (セグメント駆動エレメント210)	エレメント210 内のシフトレジスタにあるデータ (画像データ) をラインメモリにラッチさせる。
CAS0 ~CAS6	ライン選択信号	データ出力部800	コモン側駆動部300 (コモン駆動エレメント310)	エレメント210 に与える水平走査出力線 (ライン) の選択信号。CAS5, CAS6 をブロック選択に、CAS0 ~CAS4 をブロック内のラインの選択に用いる。
\overline{CCLR}	クリア信号	データ出力部800	コモン側駆動部300	
\overline{CEN}	イネーブル信号	データ出力部800	コモン側駆動部300	
CN1, CN2	波形規定信号	データ出力部800	コモン側駆動部300	コモン駆動エレメント310 の出力波形を規定する。
\overline{SCLR}	クリア信号	データ出力部800	セグメント側駆動部200	
\overline{SEN}	イネーブル信号	データ出力部800	セグメント側駆動部200	
SN1, SN2	波形規定信号	データ出力部800	セグメント側駆動部200	セグメント駆動エレメント210 の出力波形を規定する。

信 号	信 号 名	出 力 側	入 力 側	内 容
$\overline{V1} \sim \overline{V4}$ GND, 3Vc	制御駆動部スイッチ信号	データ出力部800	制御駆動部700	制御駆動部700 の出力を規定する。
V1, V2	電圧信号	電源コントローラ800	コモン側駆動部300	エレメント310 の出力電圧(+-の2値)を規定する。
V3, V4	電圧信号	電源コントローラ800	セグメント側駆動部200	エレメント210 の出力電圧(+-の2値)を規定する。
Vc	電圧信号	電源コントローラ800	各駆動部200, 300	出力電圧の基準 ("0") を規定。

(4.2) 制御部

第11図は制御部500の一構成例を示す。ここで、501は第32図示の制御手順等に従って各部を制御する例えばマイクロプロセッサ形態のCPU、503はCPU501が実行する第32図示の制御手順等に対応したプログラムの他、第12図示の各種テーブルを展開したROMである。505はCPU501が制御手順実行の過程において作業用等に用いるRAMである。

PORT1～PORT8は入出力方向の設定が可能なポート部であり、それぞれ、ポートP10～P17、P20～P27、P30～P37、P40～P47、P50～P57およびP60～P67を有している。PORT7は出力ポートであり、P70～P74を有している。DDR1～DDR8は、それぞれ、ポート部PORT1～PORT6の入出力方向の切換え設定を行うための入出力設定レジスタ(データ・ディレクション・レジスタ)である。なお、本例にあっては、ポート部PORT3のポートP13～P17(信号A3～A7に対応)、ポート部PORT2のポートP21～P25および

調整をそのレジスタへの設定値に応じて実現する。

また、これらタイマTMR1およびTMR2は、設定値に基づいた設定時間のタイムアップ時に、ないしはタイムアップに伴う次の計時動作開始時に内部割込みとして信号IRQ3をCPU501に供給し、CPU501では必要に応じてこれを受付ける。

なお、タイマSCIに関しては、本例においては未使用である。

また、第11図において、A8およびDBは、それぞれ、CPU501と各部とを接続する内部のアドレスバスおよびデータバス、511はポート部PORT5、PORT6とCPU501とのハンドシェイクコントローラである。

(4.3) ROMのメモリ空間

(4.3.1) メモリ空間の構成

第12図は、ROM503に割当てたメモリ空間の一構成例を示す。ここで、A000H～A3FFHおよびA400H～A7FFHの各領域には、それぞれ、A/D変換部950およびD/A変換部900のアクセスに際

P27、ポート部PORT4のP40およびP41(それぞれ信号A8およびA9に対応)、ポート部PORT5のポートP53～P57、ポート部PORT6のポートP62およびポート部PORT7のポートP72～P74、並びにCPU501の各端子MP0、MP1およびSTBYは未使用である。

507および509は、それぞれ、CPU501をリセットするためのリセット部、およびCPU501に動作基準クロック(4MHz)を供給するクロック発生部である。

TMR1、TMR2およびSCIは基準クロック発生源およびレジスタを有し、レジスタへの設定に応じて基準クロックの分周等が可能なタイマである。まず、タイマTMR2は、レジスタ設定に応じて基準クロックを分周し、データ出力部600のシステムクロックとなる信号Toutを発生する。データ出力部600では、この信号Toutを基に表示器100の1水平走査期間(1H)を規定するクロック信号を生成する。タイマTMR1はプログラム上の動作時間と表示画面102の1Hとを調整するために用い、かかる

し、それらを指定するためのデータを格納してある。A800H～A8FFHには、データ出力部600をアクセスするに際してその表示器駆動用レジスタ(第16図参照)を指定するためのデータを展開してある。

領域C000H～E7FFHはワードプロセッサ本体1からの実アドレスデータRA/Dの送付に応じて参照する領域であり、ブロックアクセス時において送出されてきたアドレスデータがブロック先頭ラインに係るものであるか否かの判別を行うためのジャンピングテーブルと、送出されてきた実アドレスデータRA/Dにつき駆動すべきコモン側ラインを特定するためのラインテーブルとからなる。

領域E800H～EFFFHは第33図および第36図～第38図につき後述する制御に関して用いる各種パラメータ群を格納した領域であり、ブロック数(本例では20個)を格納したブロック関連データ領域(E800H～)、透明電極の駆動電圧の可変設定のためにD/A変換部900を調整するデータを格納したD/A変換部関連データ領域(E900H～)、表示

器100上の1水平走査期間(1H)設定の基準となるクロックT_{out}1を出力するタイマTMR2の設定データTCOHRを格納したタイマTMR2設定データ領域(EA00H~)、表示器100上の動作時間と制御動作上の時間との調整を行うためのディレイタイム設定用のタイマTMR1のレジスタ設定データCNTB、CNTL、CNTBBを格納したタイマTMR1設定データ領域(それぞれEB00H~, EC00H~, ED00H~)を有する。

領域F000H~は第32図ないし第33図および第36図~第38図につき後述する処理手順に対応したプログラムを格納したプログラムエリアである。

(4.3.2) ジャンピングテーブルについて

本例においては、ブロックアクセス時においてワードプロセッサ本体1側から送出される実アドレスデータRA/Dがブロック先頭ラインに係るものか否かによって処理経路が異なる。これは、ブロック先頭ラインに対応したアドレスデータが供給されたときにそのブロック内の表示をクリアした後、ブロック内の各ラインについての順次の書

共に最下位ビットを"0"とすると、オフセット後のデータ"C006" Hが得られる。このデータをメモリ空間上のアドレスとし、このメモリ空間上のアドレスにはブロック先頭ラインか否かのコードを格納しておけば、すべての実アドレスデータにつき全く同一の実行時間でブロック先頭ラインか否かの識別が可能となる。

さらに、用いるCPU501がインデックスレジスタ(IX)を使用でき、かつインデックスレジスタが示すアドレスへジャンプできる命令(例えば"JUMP IX"を処理できるものであれば、オフセット後のデータをIXに格納し、ジャンピングテーブルにはジャンプ先のアドレスを音込んでおくことにより、上記命令を実行すれば直ちに適宜の処理を起動することが可能となる。

本例においては、CPU501としてインデックスレジスタおよび上記命令の使用を可能なものを用い、第14図に示すようにラインナンバ(0~383)に対応させてジャンピングテーブル(C000H~C31EH)を設け、ジャンピングテーブルの各アドレ

込みを行うようにしていることに基づく。

このため、ワードプロセッサ本体1から送出される実アドレスデータRA/Dがブロック先頭ラインに対応しているものか否かを認識する必要があるが、かかる認識処理に際してはまず各ブロックの先頭ラインに関する各アドレスデータに対して、実アドレスデータの入力の度に逐次比較判定して行くようにすることが考えられる。

しかしながら、このような逐次比較によると、比較すべき対象が増えるに従い処理時間に差異が生じることになる。すなわち、比較判定処理ステップのプログラム上の先後によって比較処理数が増減するからである。

そこで、本例においては、ジャンピングテーブルを用いた次のような判定処理を行い、判定時間の均一化を図るようにする。

例えば、第13図に示すように、ワードプロセッサ本体1からの実アドレスデータが"03" H(ラインナンバで"3")のとき、このデータを1ビット左へシフトし、上位2ビットを"1"とすると

スには起動すべき手順(具体的にはその手順のプログラムエリア上の先頭アドレス)を格納しておく。

なお、第14図においてBLOCK.LINEおよびFLINEは、それぞれ、ブロックアクセス時におけるブロック消去手順、ライン書込み手順、および有効表示領域104の最終ライン書込みに伴った温度補償データ更新のための手順を示しており、これらについては第36図(A)~(D)につき後述する。

なお、ラインアクセス時においては、温度補償データ更新手順を行うか否かを判別するために最終ラインか否かをのみ判定すればよいので、比較の対象は1つであり、上述のようなジャンピングアドレスを用いた判定は行わない。

(4.3.3) ラインテーブルについて

実アドレスデータRA/Dは、コモン駆動部300の構成によっては交換を要する。例えば、本例においては駆動部300は5個のコモン駆動エレメント310から成り、それぞれは80ビットの出力を行い、さらに、20ビット毎に4ブロックを構成し、

コモンラインとして400本の走査線を設けている。このうちの1本の走査線を選択するには、

- (1) 5個のコモン駆動エレメント310より1つを選択する。
- (2) そのエレメント310に割当てられる4つのブロックから1つを選択する。
- (3) ブロック中の20本のラインから1本を選択する。

の処理を行うようにする。

本例では、第15図に示すように、2バイトのライン選択用アドレスを用い、その第12～第8ビットをエレメント310の選択用、第6および第5ビットをブロックの選択用、第4～第0ビットをラインの選択用に割当てる。実アドレスデータからライン選択用アドレスデータへの変換は、ジャンピングテーブルに関して述べた第13図の処理とほぼ同様に行うことができ、ライン選択用アドレスデータをラインテーブルに展開しておけばよい。

なお、第15図において680はエレメント310の

とを対応させるものとすれば、温度に対応した一群の諸パラメータは、下位2バイトが同値である領域に格納しておく。そして、第13図について述べたとほぼ同様にして、A/D変換部950から得られる温度データまたはこれを適宜加工した温度データを下位2バイトのアドレスとし、上位2バイトを順次書換えて読出しを行えば、温度に対応した一群のパラメータが得られることになる。

例えば、温度データが“0080”Hであれば、まずこれに“E900”Hを加えた“E980”H番地をアクセスすることによって、その温度に対応したD/A変換部の関連データ（駆動電圧）が得られ、次に“E980”Hに“0100”Hを加えた“EA80”H番地をアクセスすることによって、タイマTMR2の設定データたるTCOMR（表示画面上の1水平走査期間を規定する基本クロックを生成するためのデータ）が得られる。以下、同様に加算およびアクセスを行うことによって、順次温度に対応したCNTB, CNTL, CNTBBが得られることになる。

(4.4) データ出力部

選択（エレメントチップのセレクト）を行うデコーダ部であり、その構成によって、並びにチップセレクト用に第12～第8ビットの5ビットを割付けていることから、 $2^5 = 32$ 個までのエレメント310の増設が可能である。このときには、走査線として2560本の選択を行うことが可能となる。

(4.3.4) 各種パラメータ格納エリアについて

本例においては、温度条件によって表示器100の駆動条件、すなわち駆動電圧や1水平走査期間、ディレイデータを変更し、最適の駆動制御を実現するものである。従って、温度センサ400からの測温データに基づき、駆動に際しては駆動条件が補正されなければならない。

領域E900H～EDFFHはこの補正データを格納した領域であって、後述のように温度に応じた諸パラメータの読出し処理の効率化を図るために本例では次のような格納を行っておく。

すなわち、1つもしくはある範囲の1段階の温度に対して、例えばそれぞれ1つのD/A変換部関連データと、TCOMRと、CNTB, CNTLまたはCNTBB

(4.4.1) 構成

第16図はデータ出力部600の一構成例を示す。ここで、601はワードプロセッサ本体1と結合し、信号Dおよび転送クロックCLKを受容するデータ入力部である。信号Dは、画像信号と水平同期信号とが加えられてワードプロセッサ本体1が送信するものであり、本例にあっては水平同期信号もしくは水平帰線消去期間には実アドレスデータが重畳されて供給される。而して、データ入力部601は水平同期信号もしくは水平帰線消去期間の検出の有無に応じてデータ出力経路を切換え、検出時にはそのときに重畳されている信号成分を実アドレスデータとして認識して実アドレスデータRA/Dとして出力し、非検出時にはその間の信号成分を画像データとして認識して、4ビットパレルの画像データD0～D3として出力する。

また、データ入力部601は実アドレスデータの入力を認識したときに、アドレス/データ識別信号A/D \overline{D} を付勢し、この信号A/D \overline{D} は、 \overline{IRQ} 発生部603およびDACT発生部605に導かれる。 \overline{IRQ} 発生

部603では、この信号 $\overline{A/D}$ の入来に応じて割込み信号 \overline{IRQ} を出力し、これがスイッチ520の設定に応じて割込み指令 $\overline{IRQ1}$ または $\overline{IRQ2}$ として制御部500に供給され、ラインアクセスモードまたはブロックアクセスモードでの動作が行われる。一方、DACT発生部805では、信号 $\overline{A/D}$ の入来に応じて表示器100のアクセスの有無の識別を行うためのDACT信号を出力し、これを制御部500、 \overline{FEN} 発生部811およびゲートアレイ880に導く。

\overline{FEN} 発生部811は、DACT信号の付勢時における \overline{FEN} トリガ発生部813からのトリガ信号の入力に応じてゲートアレイ880を起動する信号 \overline{FEN} を発生する。 \overline{FEN} トリガ発生部813は、制御部500がA/D変換部950に対し温度センサ400からの温度情報の取込みを指令するライト信号 \overline{ADWB} によりトリガ信号を発生する。また、このときには、 \overline{FEN} トリガ発生部813は、デバイスセクタ821が発生するチップセレクト信号 $\overline{DS0}$ により選択がなされている。すなわち、制御部500が温度データを読取

領域を有し、ラッチバルスゲートアレイ825は各領域に1ビットを対応させた22ビットの構成とする。すなわち、レジスタセクタ823がラッチバルスゲートアレイ825のビットセットを行ったときに、そのビットに対応した領域が選択されると共に、制御部500からラッチバルスゲートアレイ825へのリード信号 \overline{RD} またはライト信号 \overline{WR} の供給に応じて、選択されたレジスタに対するシステムデータバスを介してのデータ読出しまたはデータ書き込みが行われる。

レジスタ部830において、 RA/DL および RA/DU は、実アドレスデータ RA/D の下位および上位1バイトをそれぞれ格納する実アドレスデータレジスタであり、この格納は実アドレス格納制御部841によって行われる。

DL および DU は、表示の水平走査線方向のドット数（本例では800ドット）の値に対応したデータの下位および上位1バイトをそれぞれ格納する水平ドットカウントデータレジスタである。画像データ $D0 \sim D3$ の転送開始時に起動されて適宜

るべく $\overline{A/D}$ 変換部950のチップセレクトを行うときには、 \overline{FEN} トリガ発生部813も選択され、ライト信号 \overline{ADWB} に応じて柙駆動も起動されることになる。

819は制御部500からのビジー信号 \overline{IBUSY} に応じて、表示制御装置50のビジー状態を通知する信号 \overline{BUSY} をワードプロセッサ本体1に送出するビジーゲートである。

821は制御部500からの信号 $A10 \sim A15$ を受容し、その値に応じてA/D変換部950、D/A変換部900およびデータ出力部800のチップセレクトを行うための信号 $\overline{DS0} \sim \overline{DS7}$ を出力する。823は信号 $\overline{DS7}$ に応じて起動され、このとき制御部500からの信号 $A0 \sim A4$ に基づいてラッチバルスゲートアレイ825のセットを行う。ラッチバルスゲートアレイ825は、レジスタ部830の各レジスタの選択を行うためのもので、レジスタ部830のレジスタ個数に応じた数のビット数で構成される。本例にあっては、レジスタ部830は各1バイトの22個の

のクロックを計数する本平ドット数カウンタ843は、このレジスタ DL および DU に格納された数値に等しい計数動作を行ったときにラッチ信号 \overline{LATH} の発生部845に対しその発生を行わせる。

DN は駆動モードレジスタであり、ラインアクセス時またはブロックアクセス時に対応したモードデータが書き込まれる。

DL および DU はコモンライン選択アドレスデータのレジスタであり、第15図について示した18ビットのデータにつきそれぞれその下位および上位1バイトを格納する。そして、レジスタ DL に格納されたデータは、ブロック指定用のアドレスデータ $CA6, CA5$ （第15図の第6および第5ビットに対応）およびライン指定用のアドレスデータ $CA4 \sim CA0$ （第15図の第4～第0ビットに対応）として出力される。また、レジスタ DU に格納されたデータは、デコーダ部850に供給されて、コモン駆動エレメント310の選択用のチップセレクト信号 $\overline{CS0} \sim \overline{CS7}$ として出力される。

$CL1$ および $CL2$ は、ブロックアクセスモードに

おけるコモン側ラインの駆動（ライン書き込み）に際してコモン側駆動部300に供給する駆動データを格納する1バイトの領域、SL1およびSL2は、同じくセグメント側ラインの駆動に際してセグメント側駆動部200に供給する駆動データを格納する1バイトの領域である。

CB1およびCB2は、ブロックアクセスモードのブロック消去時におけるコモン側ラインの駆動に際してコモン側駆動部300に供給する駆動データを格納する1バイトの領域、SB1およびSB2は同様にセグメント側駆動部200に供給する駆動データを格納する1バイトの領域である。

CC1およびCC2は、ラインアクセスモードのライン書き込み時におけるコモン側ラインの駆動に際してコモン側駆動部300に供給するデータを格納する1バイトの領域、SC1およびSC2は同様にセグメント側駆動部200に供給する駆動データを格納する1バイトの領域である。

続く3つの1バイト領域は神駆動部700のスイッチングを行うためのデータを格納した領域であ

り、リングカウンタ663A~663Dおよび667の出力波形を示す。すなわち、マルチプレクサ665によりリングカウンタ663A~663Dの出力のいずれかが選択されると、 $4\Delta T/1H$ 、 $3\Delta T/1H$ 、 $2\Delta T/1H$ または $\Delta T/1H$ が選択され、その出力波形は後述のシフトレジスタ部673にシフトクロックとして供給されて ΔT 毎のオン/オフデータの出力がなされる。また、4相リングカウンタ667の出力はマルチプレクサ668によりいずれかが選択されて、この出力波形がシフトレジスタ部673にシフト/ロード信号として供給され、選択されている分割数での動作の設定が行われる。

再び第16図を参照するに、レジスタ部630において領域CL1、CB1およびCC1には、コモン側駆動部300に送出するクリア信号 \overline{CCLR} およびイネーブル信号CENの ΔT 毎のオン/オフデータを、領域CL2、CB2およびCC2には、同様に駆動波形規定信号CM1およびCM2の ΔT 毎のオン/オフデータを格納する。また、領域SL1、SB1およびSC1には、セグメント側駆動部200に送出するクリア信号

り、4ビット毎に分けて、レジスタFV1、FCVc、FV2、FV3、FSVc、FV4を設けてある。

661は選倍器であり、制御部500からのパルス信号Toutを例えば2倍に選倍する。663A、663B、663Cおよび663Dは選倍器661の出力の3相、4相、6相および12相のリングカウンタであり、1水平走査期間(1H)をそれぞれ4分割、3分割、2分割および無分割するのに用いる。この分割された期間を以下 ΔT といい、例えば3分割の場合には $3\Delta T$ で1Hをなすことになる。

665はリングカウンタ663A~663Dの出力からいずれかを選択するためのマルチプレクサであり、駆動モードレジスタDMの内容に応じて、すなわち1Hを何分割して駆動を行うかを示すデータに応じて設定される。例えば、3分割の場合には4相リングカウンタ663Bの出力を選択する。

667はリングカウンタ663A~663Dの各出力の4相リングカウンタ、668はマルチプレクサ665と同様に設定されるマルチプレクサである。

第17図はクロックTout、選倍器661の出力波

\overline{SCLR} およびイネーブル信号SENの ΔT 毎のオン/オフデータを、領域SL2、SB2およびSC2には、同様に波形規定信号SM1およびSM2の ΔT 毎のオン/オフデータを格納する。

本例においては、各信号用データの格納領域を4ビット構成とし、1ビットを $1\Delta T$ のオン/オフデータに対応させておく。すなわち、本例では1Hの最大分割数は4である。

671は領域CL1~SC2に結合したマルチプレクサ部であり、駆動モードレジスタDMの内容に応じてブロックアクセスモードにおけるライン書き込み時、ブロック消去時およびラインアクセスモードにおけるライン書き込み時の駆動時の信号用データからいずれかを選択する。このマルチプレクサ部671において、MPX1は領域CL1、CB1およびCC1からいずれかの信号 \overline{CCLR} 用の4ビットデータを選択するマルチプレクサ、MPX2は同じく信号CEN用の4ビットデータを選択するマルチプレクサ、MPX3は領域CL2、CB2およびCC2からいずれかの信号

CM1 用の4ビットデータを選択するマルチプレクサ、MPX4は同じく信号CM1 用の4ビットデータを選択するマルチプレクサである。また、MPX5は領域SL1,SB1 およびSC1 からいずれかの信号SCLR用の4ビットデータを選択するマルチプレクサ、MPX6は同じく信号SEN 用の4ビットデータを選択するマルチプレクサ、MPX7は領域SL2,SB2 およびSC2 からいずれかの信号SM1 用の4ビットデータを選択するマルチプレクサ、MPX8は同じく信号SM2 用の4ビットデータを選択するマルチプレクサである。

873 はマルチプレクサ部871 のMPX1~MPX8にそれぞれ結合したパラレル/シリアル(P/S) 変換用のシフトレジスタP/S1~P/S8を有するシフトレジスタ部であり、マルチプレクサ865 の出力がシフトクロック信号として与えられて1ビットのオン/オフデータの出力期間ΔTが規定される。また、マルチプレクサ869 の出力が設定された分割数での動作を行うためのプリセット信号として与えられる。

ここで、951 はA/D 変換器、953 は温度センサ400 の検出信号をA/D 変換器951 に適合するレベルに増幅する増幅器である。

温度検出に際しては、制御部500 はデータ出力部800 のデバイスセクタ821 を介しチップセレクト信号DSO を供給すると共に、ライト信号WR (ここではADWRとして図示) を送出する。これに応じてA/D 変換器951 は温度センサ400 から増幅器953 を介して得られるアナログ量の温度検出信号のディジタル量への変換を行い、その終了時に信号INTRを付勢してA/D 変換の終了を制御部500 に通知する。

制御部500 ではこれに応じてA/D 変換器951 にリード信号RD (ここではADDRとして図示) を供給し、これに伴ってA/D 変換器951 はディジタル量の温度データを信号DD0 ~DD7 としてシステムバスを介し制御部500 に送出する。

温度検出のタイミングは、有効表示領域104 の先頭ラインから最終ラインまでの表示を絶えずリフレッシュするリフレッシュ駆動を行う場合には

875 はシフトレジスタP/S1~P/S8にそれぞれ結合したマルチプレクサMPX11 ~MPX18 を有するマルチプレクサ部であり、レジスタCL1 ~SC2 に格納された各信号の4ビットのオン/オフデータのビット選択データ(レジスタDMに格納)に基づいて、P/S 変換されたオン/オフデータを出力する。

877 はレジスタFV1,FCVc,FV2,FV3,FSVc,FV4 に関して上記シフトレジスタ部873 およびマルチプレクサ部875 と同様の処理を行う出力部、880 は信号DACTおよびFEN に応じて開放され、押駆動部700 にスイッチ信号V1~V4, CVc およびSVc を導くゲートアレイである。

890 はD/A 変換部900 のチップセレクト信号DS1 の付勢に応じて、すなわちD/A 変換部900 のアクセスに際して信号MRを制御部500 に送出し、CPU501が発生するクロックEのパルス幅を変更させるMR発生部である。

(4.5) A/D 変換部

第18図はA/D 変換部950 の一構成例を示す。こ

最終ライン駆動終了から先頭ライン駆動開始までの垂直帰線期間に行うことができる。また、表示データの変更が生じたときにそのブロックまたはラインのみを書換える部分書換え駆動を行う場合には、例えばタイマ割込みにより定期的に行うようにすることができる。

(4.6) D/A 変換部および電源コントローラ

第19図はD/A 変換部900 および電源コントローラ800 の一構成例を示す。

D/A 変換部900 において、901 はD/A 変換器、903 はその出力を次段に適合するように増幅する増幅器である。

電源コントローラ800 において、810,820,825,830 および840 は、それぞれ、電圧信号V1,V2,Vc,V3 およびV4を発生するための可変ゲイン増幅器であり、電圧V1は増幅器903 の出力を増幅器810 に導くことにより、電圧V2,Vc,V3およびV4は増幅器810 の出力をそれぞれ増幅器820,825,830 および840 に導くことにより生成する。821 は増幅器810 と820 との間に介挿したインバータ、

841 は増幅器810 と840 との間に介挿したインバータである。

ここで、電圧V1およびV2は、コモン側駆動部300 に供給するそれぞれ正および負の駆動電圧、電圧V3およびV4は、セグメント側駆動部200 に供給するそれぞれ正および負の駆動電圧、電圧VCは各駆動部200,300 に与える基準電位である。また、これら電圧信号は枠駆動部700 にも供給する。

本例にあつては、VCを固定とし、このVCに対するV1,V2,VC,V3,V4の差の比が、 $2:-2:0:1:-1$ となるように各増幅器810,820,825,830 および840 のゲイン調整を予め行っておく。

温度に応じた駆動電圧の変更設定に際しては、制御部500 はデータ出力部600 のデバイスセレクトタ621 を介しチップセレクト信号 $\overline{DS1}$ を供給し、D/A 変換器901 の選択を行う。ここでD/A 変換器901 の動作の基本クロックが制御部500 とは異なるものであれば、信号 $\overline{DS1}$ がデータ出力部600 に配置したMR発生部690 にも供給されて信号MRが発

ことができるのは言うまでもない。

(4.7) 枠駆動部

第20図は枠駆動部700 の一構成例を示す。ここで、710,715,720,730,735 および740 は、それぞれ、電圧信号V1,VC,V2,V3,VCおよびV4の供給路をオン/オフするスイッチであり、データ出力部600 のゲートアレイ680 からインバータ711,716,721,731,736 および741 を介して供給されるスイッチ信号 $\overline{V1}$, \overline{VC} , $\overline{V2}$, $\overline{V3}$, \overline{SVc} および $\overline{V4}$ により制御される。

枠駆動に際しては、データ出力部600 のレジスタ部630 に設けられたレジスタFV1,FCVCおよびFV2 の内容に応じて、すなわち信号 $\overline{V1}$, \overline{VC} および $\overline{V2}$ の状態に応じてスイッチ710,715 および720 が切換えられ、V1,VC,V2の3値をとる波形の信号をコモンラインに平行な枠用透明電極151 に印加することができる。また、レジスタFV3,FSVCおよびFV4 の内容に応じて、すなわち信号 $\overline{V3}$, \overline{SVc} および $\overline{V4}$ の状態に応じてスイッチ730,735 および740 が切換えられ、V3,VC およびV4の3値をとる

生するので、制御部500 は適切なクロック信号EをD/A 変換器901 に供給する。而して制御部500 はライト信号 \overline{WR} (ここでは \overline{DAWR} として図示) を付勢すると共に、変更設定用のデジタルデータを000 ~ 007 としてシステムバスを介しD/A 変換器901 に供給する。これに応じてD/A 変換器901 は当該データをアナログ信号に変換し、増幅器903 を介して出力する。

これにより、増幅器810 は電圧V1を発生するとともに、V1に対して上記比を有する電圧V2,VC,V3 およびV4が生成される。

なお、第19図の例では電圧V1に応じて電圧V2等が生成されるものとしたが、増幅器903 の出力を各別に各可変ゲイン増幅器810,820,825,830 および840 に導くようにしてもよい。また、ゲインの調整をプログラマブルに行うことのできる可変ゲイン増幅器を用いてもよい。また、電源コントローラ600 の構成は、各駆動部200,300 等の駆動の應援に応じて、多値の電圧を発生できるものであれば、上記構成にのみ限られず種々のものとする

波形の信号をセグメントラインに平行な枠用透明電極150 に印加することが可能となる。

(4.8) 表示器駆動部

(4.8.1) セグメント側駆動部

第21図はセグメント側駆動部200 を構成するセグメント駆動エレメント210 の概略構成例を示す。ここで、220 は4ビットパラレルの画像データ00~03を順次入力し、80ビットパラレルのデータに整列させる 4×20 ビットのシフトレジスタであり、シフトクロックSCLRの入力に応じて動作する。230 は80ビットのラッチ部であり、画像データ00~03が次段のセグメント駆動エレメント210 のシフトレジスタ220 に導かれて行き、10個のエレメント210 のシフトレジスタ220 すべてに80ビットパラレルのデータが整列したときに、すなわちデータ出力部600 の \overline{LATH} 発生部645 よりラッチ信号 \overline{LATH} が与えられたときに80ビットパラレルのデータをラッチする。

240 はデータ出力部600 からの信号 \overline{SCLR} , \overline{SEN} , $\overline{SM1}$ および $\overline{SM2}$ を受容し、所定の論理演算を行う

入力論理回路、250 は入力論理回路240 の演算データからラッチ部230 の各ビットデータの内容に応じた各セグメント駆動波形の規定データを発生する制御論理部である。260 は制御論理部250 が発生するデータのレベルシフトを行うレベルシフタおよびバッファを有するスイッチ信号出力部、270 は電圧信号V3、VCおよびV4を受容し、スイッチ信号出力部260 の出力に応じてスイッチングされてセグメントラインS80 ~ S1にV3、VCまたはV4を導くドライバである。

第22図は第21図示のセグメント駆動エレメント210 の詳細な構成例を示す。シフトレジスタ220 において、221 は1ビットすなわち1セグメントラインに対応したD型のフリップフロップ、ラッチ部230 において231 はラッチ回路である。また、スイッチ信号出力部260 において261 はレベルシフタ、ドライバ270 において272、273 および274 はスイッチ信号出力部260 からのスイッチ信号に応じて、それぞれ、電圧VC、V3およびV4の供給経路をオン/オフするスイッチである。

供給する信号CM1、CM2 および \overline{CCLR} に係る駆動データから、入力論理回路340 が選択したブロック、あるいはさらにデコーダ部345 が選択したラインの駆動波形規定データを発生する。

360 は制御論理部250 が発生するデータのレベル変換を行うレベルコンバータおよびバッファを有するスイッチ信号出力部、370 は電圧信号V1、VCおよびV2を受容し、スイッチ信号出力部360 の出力に応じてスイッチングされ、コモンラインC1 ~ C80 にV1、VCまたはV4を選択的に供給するドライバである。

本例においてはかかる構成のコモン側エレメント310 を5個備えており、すなわち有効表示領域104 には400 本のコモンラインが対応する。

なお、第24図において361 はレベルコンバータ、375、371 および372 は、スイッチ信号出力部360 からのスイッチ信号に応じて、それぞれ、電圧VC、V1およびV2の供給経路をオン/オフするスイッチである。

(4.8.2) コモン側駆動部

第23図および第24図は、コモン側駆動部300 を構成するコモン駆動エレメント310 の概略構成例および詳細な構成例をそれぞれ示す。ここで、340 は入力論理回路であり、データ出力部600 のデコーダ部650 からチップセレクト信号 \overline{CS} が与えられたときに、信号CA5、CA6、CEN によりブロック選択を行う他、ライン選択用信号CA0 ~ CA4、信号 \overline{CCLR} 、CM1 およびCM2 を受容して所定の論理調整を行う。

345 は入力論理回路340 から供給される信号CA0 ~ CA4に係るラインデータを基に駆動すべきコモンラインの選択を行うデコーダ部であり、1つのエレメント310 において60ラインの選択が可能である。本例においては20ラインを1ブロックとし、1つのエレメント310 には4つのブロックを割当てており、第24図にあってはデコーダ部345 を20ライン分のデコードを行う部分毎に破線にて囲んである。

350 は制御論理部であり、入力論理回路340 が

(4.9) 駆動波形

(4.9.1) 表示器の概略

第25図は表示器100 を模式的に示す。ここで、com およびseg は、それぞれ、上部基板110 に設けたコモン側透明電極114 に対応するコモンラインおよび下部基板120 に設けたセグメント側透明電極124 に対応するセグメントラインであり、これらの間にFLC が設けられている。FcomおよびFsegは、それぞれ、コモンラインcom の配設範囲の両側にコモンラインcom と平行に設けた枠用コモンライン、およびセグメントラインseg の配設範囲の両側にセグメントラインseg と平行に設けた枠用セグメントラインである。而して、コモンラインcom とセグメントラインseg との第25図上の交叉部分の集合に対応した表示画面102 上の領域が有効表示領域104 をなし、枠用コモンラインFcomと枠用セグメントラインFsegおよびセグメントラインseg との交叉部分、並びに枠用セグメントラインFsegとコモンラインcom との交叉部分の集合が有効表示領域104 外の枠部106 をなす。

なお、第25図においては、簡略化のためにコモンラインcom およびセグメントラインseg を各4本ずつ、枠用コモンラインfcomおよび枠用セグメントラインfsegを両側に各1本ずつ示しているが、本実施例においてコモンラインcom は400本、セグメントラインseg は800本配置されて1本ずつ駆動可能であり、枠用コモンラインfcomおよび枠用セグメントラインfsegは両側に16本ずつ配置されて一括駆動されるのは前述の通りである。

(4.9.2) 表示器の駆動態様

本実施例において、表示器100 は次のように駆動される。

有効表示領域104 に関しては、上記(3.5) において述べたように、ブロックアクセスモードにおいては、まずブロック消去がなされ、次いでライン毎の書き込みがなされる。また、ラインアクセスモードにおいては、ライン毎の書き込みのみが行われる。本例においては、領域104 を、ブロックアクセスモードにおけるブロック消去時と、同モ-

インseg にはV3、VC またはV4が供給されるようにする駆動を行う。

第1表はデータ出力部600 のレジスタ部630 におけるレジスタ領域CL1 ～SC2 に設定するデータの一例を示す。表において“×”は未使用のビットであり、本例では第33図につき後述する処理手順の起動時においてレジスタ領域CL1 ～SB2 の第6～第4ビットおよび第2～第0ビットにそれぞれ第1表に示す所定のデータが展開されるようにする。そして一方では、処理手順実行の過程において適宜、駆動モードのレジスタ領域DMにブロックアクセスモードにおけるブロック消去と、同モードにおけるライン書き込みと、ラインアクセスモードにおけるライン書き込みとを弁別してマルチプレクサ部671 がレジスタCB1 ～SB2 、レジスタCL1 ～SL2 またはレジスタCC1 ～SC2 を選択するようにするデータと、マルチプレクサ665 および669 を切換え、bit 6～4あるいはbit 2～0 の3ビットが選択されて1ビットが順次ΔTの期間出力されるようにするデータとを格納する。

ドにおけるライン書き込み時と、ラインアクセスモードにおけるライン書き込み時とで異った波形で駆動する。

枠部106 に関しては、枠用コモンラインfcomに沿った枠部（以下横枠という）と枠用セグメントラインfsegに沿った枠部（以下縦枠という）とを異った時点で、かつ異った波形で駆動する。すなわち、横枠に関しては有効表示領域の非アクセス時（例えばリフレッシュ駆動時においては垂直帰線期間、部分書き換え時にはタイマによる割込み時）においてラインfcomとラインfsegおよびseg とを駆動することにより形成し、縦枠に関してはいずれのモードにおいてもライン書き込み時にコモンラインcom の駆動波形に合せた波形で枠用セグメントラインfsegを駆動することにより、コモンラインcom との協働で形成されるようにする。

(4.9.3) 有効表示領域の駆動波形

本実施例においては、1水平走査期間(1H)を3分割し、それぞれのΔTの期間においてコモンラインcom にはV1、VC またはV2が、セグメントラ

第1表

	レジスタ	bit	7	6	5	4	:	3	2	1	0
ブロックアクセスモードの ライン書き込み時のデータ	C L 1	$\overline{\text{CCLR}}$	x	1	1	1	:	CEN	x	1	1
	C L 2	CM2	x	0	1	0	:	CM1	x	1	0
	S L 1	SM2	x	1	1	0	:	SEN	x	1	1
	S L 2	SM1	x	1	0	0	:	$\overline{\text{SCLR}}$	x	1	1
ブロックアクセスモードの ブロック消去時のデータ	C B 1	$\overline{\text{CCLR}}$	x	1	0	1	:	CEN	x	1	0
	C B 2	CM2	x	0	0	0	:	CM1	x	0	0
	S B 1	SM2	x	0	1	0	:	SEN	x	1	1
	S B 2	SM1	x	0	0	0	:	$\overline{\text{SCLR}}$	x	1	0
ラインアクセスモードの ライン書き込み時のデータ	C C 1	$\overline{\text{CCLR}}$	x	1	1	1	:	CEN	x	1	1
	C C 2	CM2	x	1	1	1	:	CM1	x	1	0
	S C 1	SM2	x	0	1	1	:	SEN	x	1	1
	S C 2	SM1	x	0	1	0	:	$\overline{\text{SCLR}}$	x	1	1

第2表 コモン駆動エレメント310の真理値表

CEN	$\overline{\text{CCLR}}$	CM1	CM2	$\overline{\text{CS}}$	V
0	x	x	x	x	VC
1	0	x	x	0	V1
1	1	0	0	0	VC
1	1	0	1	0	V2
1	1	1	0	0	V1
1	1	1	1	0	V1

第3表 セグメント駆動エレメント210の真理値表

SEN	$\overline{\text{SCLR}}$	SM1	SM2	Q	V
0	x	x	x	x	VC
1	1	x	0	x	VC
1	0	x	1	x	V4
1	1	1	1	0	V3
1	1	0	1	0	V4
1	1	1	1	1	V4
1	1	0	1	1	V3

第2表および第3表は、それぞれ、コモン駆動エレメント310 およびセグメント駆動エレメントの真理値表を示す。これら表において、“x”は“1”または“0”のいずれであっても選択される駆動電圧Vが影響を受けない場合である。また、第3表においてQは1ビットの画像データ、すなわちラッチ部230のラッチ231(第22図参照)から出力される画像データであり、Q=0で白データが、Q=1で黒データが出力されるものとする。

第26図(A)は、レジスタCB1およびCB2の内容(第1表参照)による信号CEN, CCLR, CM1, CM2の波形とコモン駆動エレメント310のロジック(第2表参照)によってコモンラインcomに印加される電圧信号Vの波形とを示す。また、同図(B)は、レジスタSB1およびSB2の内容(第1表参照)による信号SEN, SCLR, SM1, SM2の波形と、セグメント駆動エレメント210のロジック(第3表参照)によってセグメントラインsegに印加される電圧信号Vの波形とを示す。

セグメントラインsegに印加される波形とを示す。

従って、ブロックアクセスモードのライン書き込み時には、チップセレクト信号CSおよび信号CA5, CA6により選択されたエレメント310のブロックにおいて信号CA1~CA4により選択されたコモンラインcomとセグメントラインsegとの交叉点には、第29図(A)または(B)に示す電圧信号の合成波形が加えられることになる。ここで、第29図(A)に示すような波形が印加される点では、表示データの変更は生じない。すなわち、その点は先に行ったブロック消去によって白データとなった状態を保持する。一方、第29図(B)に示すような波形が印加される点では、最初の期間 ΔT にわたって印加される電圧値1V0により白データが得られる状態となるが、続く期間 ΔT にわたって印加される電圧-3V0により表示データが反転して黒となる。

第30図(A)は、レジスタCC1およびCC2の内容による各信号CEN等の波形と、コモン駆動エレ

メント310のロジックによってコモンラインcomに印加される電圧信号Vの波形とを示す。同図(B)は、レジスタSC1およびSC2の内容による各信号SEN等の波形と、セグメント駆動エレメント210のロジックおよび画像データの内容(Q)によってセグメントラインsegに印加される波形とを示す。

なお、このとき、 ΔT ないし1Hと電圧V1~V4, V0とは温度に応じて補正されているのは前述の通りである。

第28図(A)は、レジスタCL1およびCL2の内容による各信号CEN等の波形と、コモン駆動エレメント310のロジックによってコモンラインcomに印加される電圧信号Vの波形とを示す。同図(B)は、レジスタSL1およびSL2の内容による各信号SEN等の波形と、セグメント駆動エレメント210のロジックおよび画像データの内容(Q)によって

セグメントラインsegに印加される波形とを示す。同図(B)は、レジスタSC1およびSC2の内容による各信号SEN等の波形と、セグメント駆動エレメント210のロジックおよび画像データの内容(Q)によってセグメントラインsegに印加される波形とを示す。

これにより、ラインアクセスモードのライン書き込み時には、選択されたコモンラインcomとセグメントラインsegとの交叉点には、第31図(A)または(B)に示す電圧信号の合成波形が加えられる。ここで、第31図(A)に示すような波形の電圧信号が印加される点では、最初の期間 ΔT および次の期間 ΔT にわたってそれぞれ印加される電圧2V0およびV0により、白データを得る条件の閾値を越え、最後の期間 ΔT に印加される電圧V4では黒データを得る条件の閾値を越えないので、表示は白となる。また、同図(B)に示す波形が印加される点では、最初の $2\Delta T$ の期間で表示が白となるが、最後の期間 ΔT に印加される電圧-1V0に

よって表示が反転し、黒データが表示されることになる。

(4.9.4) 枠駆動の態様

本例においては、前述のように、横枠については垂直帰線期間または定期的に、A/D 変換部 950 の駆動開始と同時に形成し、縦枠については有効表示領域 104 のライン書き込み時に形成する。また、枠は有効表示領域 104 の背景色と同色、すなわち情報黒を表示する場合には白色で設けるようにする。

第 4 表は枠駆動部 700 のスイッチングを行って枠形成を行うためにレジスタ FV1, FVCVc, FV2, FV3, FSVc および FV4 に設定するデータを示す。ここで、枠用コモンライン Fcom に関しては、有効表示領域 104 の駆動からはほぼ独立したものであるから、各データ $\overline{V1}$, \overline{FVC} および $\overline{V2}$ の内容の変更設定は行わない。本例では、枠用コモンライン Fcom の駆動データとして、横枠形成時に第 25 図 (A) に示すコモンライン com の駆動波形と等しい波形が得られるように設定を行っておく。

セスモードまたはラインアクセスモードにおいて、それぞれ、第 29 図 (A) または第 31 図 (A) に示す波形で駆動されて形成されることになる。

一方、枠用セグメントライン Fseg に関しては、横枠形成時と、ブロックアクセスモードのライン書き込み時における縦枠形成時と、ラインアクセスモードにおけるライン書き込み時とで枠用コモンライン Fcom ないしはコモンライン com の駆動波形が異なることから、それぞれに合せて白データが表示されるように各レジスタ FV3, FV4 および FSVc の変更設定を行う。

具体的には、枠用セグメントライン Fseg の駆動データとして、横枠形成時には第 25 図 (B) に示すセグメントライン seg の駆動波形と等しい波形が、ブロックアクセスモードのライン書き込み時における縦枠形成時には第 28 図 (B) に示すセグメントライン seg の $Q=0$ のときの駆動波形と等しい波形が、ラインアクセスモードのライン書き込み時における縦枠形成時には第 30 図 (B) に示すセグメントライン seg の $Q=0$ のときの駆動波形と等しい波形が得られるように変更設定を行う。

この結果、横枠については第 27 図示の波形で駆動されて形成され、縦枠についてはブロックアク

第 4 表

	レジスタ	b11	7	6	5	4	:	3	2	1	0	
枠用コモンラインのデータ	FV1, FVCc	\overline{CVC}	x	1	0	1	:	$\overline{V1}$	x	0	1	0
ブロックアクセスモードのライン書き込み時におけるデータの枠用セグメントラインのデータ	FV2, FV3	$\overline{V2}$	x	0	0	0	:	$\overline{V3}$	x	1	0	0
	FSVc, FV4	\overline{SVc}	x	0	0	1	:	$\overline{V4}$	x	0	1	0
横枠形成時におけるデータの枠用セグメントラインのデータ	FV2, FV3	$\overline{V2}$	x	0	0	0	:	$\overline{V3}$	x	0	0	0
	FSVc, FV4	\overline{SVc}	x	1	0	1	:	$\overline{V4}$	x	0	1	0
ラインアクセスモードのライン書き込み時におけるデータの枠用セグメントラインのデータ	FV2, FV3	$\overline{V2}$	x	0	0	0	:	$\overline{V3}$	x	0	1	0
	FSVc, FV4	\overline{SVc}	x	1	0	0	:	$\overline{V4}$	x	0	0	1

(5) 表示制御

(5.1) 制御手順の概要

本例に係る表示制御の主要な特長は2つある。

1つには、表示制御装置50側からワードプロセッサ本体1へ、Busy信号を送ることによってデータの授受と表示画面102の動作との同期をとることである。これは、本質的には、FLCを用いた表示素子が、その動作を有効とするために温度によって1水平走査期間が変化するようにしたこと起因している。

2つには、通常のワードプロセッサが画像データのみを順次、周期的かつ連続的に（いわゆるリフレッシュモードで）転送するのに対して、本例のワードプロセッサ本体1は画像データの前に、かかるデータによって駆動される画素を指定するためのアドレスデータを転送することであり、さらには、これらデータをリフレッシュモードではなく、アドレスデータによって特定の部分のみの画像データを転送して駆動することを可能とするものである。これはFLCを用いた表示素子が記憶

性を有することによって、情報の更新が必要な画素のみをアクセスすれば足りるということに由来している。

なお、上記表示制御を可能とするために、本例のワードプロセッサ本体1は、通常のワードプロセッサが有する機能に加え、Busy信号を受け取ってアドレスデータの転送を中止する、およびアドレスデータを例えば水平同期信号にのせて転送する、機能を有するものである。

上記表示制御における特長、特に2番目の特長を有効に用いることにより、以下で示す2つの表示制御形態が実施される。

すなわち、ブロックアクセスとラインアクセスである。ブロックアクセスとは、例えば、走査電極線10本を1ブロックとし、有効表示領域104の1ブロック分の画面を1度に消去し、かかるブロックを例えば全「白」として、以下、順次ブロックの1走査線毎に情報のアクセスを行い、文字等を書き込むものである。これに対して、ラインアクセスは1走査線毎にアクセスを行い、情報の書

き込みを行うものであり、予め全「白」にするこ
とはない。

これら表示制御形態をプログラムフローで示し
たのが第32図であり、以下、第32図を参照して、
本例における表示制御の概要を説明する。

第32図において、まず、ワードプロセッサ本体
1の電源が“ON”となると、

INITルーチンが自動的に開始される(ステップ
S101)。ここでは、Busy信号を“ON”としてパワ
ーON時におけるそれぞれ枠106の駆動、有効表示
領域104の消去およびそのための温度補償が行わ
れ、最後にBusy信号を“OFF”として割り込み要
求 $\overline{IRQ1}$ または $\overline{IRQ2}$ が来るまで待つ。この割り込み要
求 $\overline{IRQ1}$ または $\overline{IRQ2}$ は、ワードプロセッサ本体1か
らアドレスデータが転送されることによって発生
されるものであり、アドレスデータが来なければ
プログラムは実行されず、表示画面102に止まっ
たままである。

次に、アドレスデータが転送されて割り込み要
求がかかると、この内部割り込み要求が $\overline{IRQ1}$ か、

LLINEルーチンへプログラム実行が分岐する。
ここでは、Busy信号を“ON”とし、アドレスデ
ータの次に転送される画像データに基づき、1走査
線分のライン書き込みを行う。次に、Busy信号を
“OFF”として、割り込み要求 $\overline{IRQ1}$ を待つ(ステ
ップS105)。 $\overline{IRQ1}$ が供給されると再びLSTARTルー
チンが起動される。

ステップS104でアドレスデータが最終ラインの
ものであれば、

FLINEルーチンへプログラム実行が分岐する。
ここでは転送された画像データを基に、最終ライ
ンのライン書き込みを行う。次に枠駆動およ
び温度補償データの更新を行い、Busy信号
を“OFF”として、割り込み要求 $\overline{IRQ1}$ を待つ(ステ
ップS106)。ここで、割り込み要求 $\overline{IRQ1}$ がある
と、再びLSTARTルーチンが起動される。以上のよ
うな手順で、ラインアクセスモードでの表示制御
が行われる。

一方、上述した切換手段520によってブロック
アクセスモードに設定された場合、アドレスデー

あるいは $\overline{IRQ2}$ かに応じて、ステップS102の手順に
より、 $\overline{IRQ1}$ であればLSTARTルーチンへ、 $\overline{IRQ2}$ であ
ればBSTARTルーチンへ、それぞれ進む。この分岐
によって、上述したブロックアクセスかラインア
クセスかが別れる。すなわちLSTARTルーチンへ進
めばラインアクセスとなり、BSTARTルーチンへ進
めばブロックアクセスとなる。

ところで、 $\overline{IRQ1}$ あるいは $\overline{IRQ2}$ の設定は、本例に
あつては、表示制御装置本体50の適切な部位に配
設された切換手段520によって、予め手動で行わ
れる。

かかる切換手段520によってラインアクセスモ
ードに設定され、 $\overline{IRQ1}$ が発生したとき、

LSTARTルーチンが起動され、かかるプログラム
が実行される。ここで、データ出力部600から、
転送されたアドレスデータを読み、このアドレス
が有効表示領域104の最終ラインのものかどうか
を判断する(ステップS103およびS104)。ここ
で、最終ラインではないとき、

タ転送によって、 $\overline{IRQ2}$ が発生したとき、

BSTARTルーチンが起動される。ここでは、Busy
信号を“ON”とし、転送されたアドレスデータを
読み、かかるデータがブロックの先頭ラインか、
有効表示領域104の最終ラインか、あるいは上記
以外のラインか、を判断する(ステップS107およ
びS108)。ここで、アドレスデータが先頭ライン
で、最終ラインでもないとき、

LINEルーチンへ分岐する。ここでは、転送され
た画像データを基に1ライン分のライン書き込み
を行う。次に、Busy信号を“OFF”として、割り
込み要求を待つ(ステップS109)。ここで、内部
割り込み要求 $\overline{IRQ2}$ があると、再びBSTARTルーチン
が起動される。

ステップS108でアドレスデータが有効表示領域
104の最終ラインであると、

FLINEルーチンへ実行が分岐する。ここでは、
1ライン分のライン書き込みを行う。次に、枠駆
動および温度補償データの更新を行ない、Busy信

号を“OFF”として、割り込み要求を待つ（ステップS110）。ここで、割り込み要求 $\overline{IRQ2}$ があると再びBSTARTルーチンが起動される。

ステップS108で、アドレスデータがブロックの先頭ラインであれば、

BLOCK ルーチンへ実行が分岐する。ここでは、アドレスで指示されたラインの属するブロック全てを消去し、かかるブロックの領域を「白」とする（ステップS111）。次にLINEルーチン（ステップS109）へ進み、前述したのと同様な処理を行う。上述したような手順で、ブロックアクセスモードでの表示制御を行い、情報の書き込みを行う。

また、ワードプロセッサ本体1がパワーダウン信号 \overline{PDOWN} を制御部500へ送出すると、この信号によって、ノンマスカブル割り込み要求NMIがかかり、PWOFFが起動される。ここでは、Busy信号を“ON”とし、有効表示領域104の消去を行い、全ての領域を「白」とする。次に、パワーステータス信号およびBusy信号を“OFF”とし、これに

示し、これは第32図にて前述したINITルーチンである。第34図は、INITルーチンおよび後述するPWOFFルーチンのタイムチャートを示しており、以下、ステップ毎に制御部500が行う処理について説明する。

S 2 0 1 :

パワーステータス（P ON/OFF）信号を“ON”、および信号Lightを“OFF”とし、同時にデータ出力部600を介してBusy信号を“ON”としてワードプロセッサ本体1へ出力する。このBusy信号を出力している間、ワードプロセッサ本体1からアドレスデータは転送されない。これは、FLC表示素子を有効に駆動するために、1水平走査期間を温度によって変化させていることに由来する。すなわち、有効表示領域104でのFLC表示素子駆動時間と、ワードプロセッサ本体1からのデータ転送時間、換言すればワードプロセッサ本体1内のVRAM動作時間との同期が完全にとれないために、表示制御装置本体50側がBusy信号を出力することによって、同期をとっているものである（第34

よりワードプロセッサ本体1の電源が遮断される（ステップS112）。

上述したことから明らかなように、表示制御の2つの形態、すなわち、ブロックアクセスおよびラインアクセスのいずれの形態が実施されたとしても、アドレスデータが、全有効表示領域に亘って順次、周期的かつ連続的に転送されてくる場合には、リフレッシュ駆動となり、また、ある所定の部分のアドレスデータが間欠的に転送されてくるのであれば、部分書き換え駆動となる。

なお、以下で記述する制御手順の詳細においては、本体1側からは、アドレスデータおよび画像データをリフレッシュモードで転送してくることを前提として説明を行う。

(5.2) 制御手順の詳細

(5.2.1) 電源オン（初期時）

ワードプロセッサ本体1の電源がオンとされたとき、自動的に起動される処理について、第33図および第34図を参照して説明する。

第33図は、起動される処理のフローチャートを

図、時点①：以下数字のみ記す）。

S 2 0 3 :

データ出力部600のレジスタ部630内の所定領域に、初期枠駆動および有効表示領域駆動用の駆動波形発生制御データを設定する。これは、制御部500内のROM503に格納された波形発生制御データを、第1表および第4表のようにデータ出力部600のレジスタ部630に設定するものである。

S 2 0 5 :

初期枠駆動のための駆動電圧値および1水平走査期間の基本となるシステムクロックのそれぞれデータを、D/A変換部900および制御部500のタイマTMR2におけるレジスタTCOMRに設定する。また、ブロックアクセス、ラインアクセスおよびパワーオン/オフ時におけるブロックアクセスそれぞれの基本タイムデータを設定する。

S 2 0 7 :

制御部500は、データ出力部600から枠駆動部700へ枠駆動制御データを転送し、これに基づき

伸駆動部700は伸駆動を行う。かかる駆動によって、伸部106の面質を良好なものとし、表示画面102を常に良好な状態に保つ。これは、有効表示領域104を駆動している間に、伸106にも電圧が印加されて光の透過率が変化し、伸106の一部が濁って面質の劣化を招かないようにするためである。

また、本例にあつては、伸部106を「白（光源FLからの光を透過する配向状態）」、有効表示領域104を「白（光を透過する状態）」となし、文字情報等を「黒」で表示するものとする。なお、これら表示における「黒」および「白」による画定は上例に限られたものでなく、「黒」と「白」とを反転した表示も、あるいは、伸106と有効表示領域104とを区別する表示も、本例に係る装置によって可能である。

本ステップS207における伸駆動は、1水平走査期間に亘って行われるものであるが、この間には、第2図中、下部ガラス基板120に配設された伸用透明電極150およびセグメント電極124

に説明する。第35図はA/D変換データを駆動電圧V、1水平走査期間の基本となるシステムクロック、各ディレイタイムにそれぞれ交換するときのアルゴリズム、およびルックアップテーブルを示しており、例えば同図に示す温度データ80Hが得られたとする。この80Hは、テーブルにおけるアドレス下位ビットを示しているものであり、先のA/D変換においては、アナログ温度データをアドレス下位ビットに対応するディジタル温度データに変換する操作を行っている。

ここで、制御部500の演算装置ALUは、データ8080Hに、駆動電圧データテーブルエリア（D/A変換部関連データエリア）のアドレス上位ビットデータに相当するE900Hをオフセットする。これにより、インデックスレジスタIXの内容をE980Hとし、このアドレスに相当するデータを得る。この温度補償された駆動電圧値をD/A変換部900を介して電源コントローラ800へ出力することになる。次に演算装置ALUは、インデックスレジスタIXの下位ビットデータはそのままに、上位ビット

と、上部ガラス基板110に配設されて、コモン電極114と平行な伸用透明電極151とに電圧信号を印加して駆動を行う。従って、伸部全ての駆動がこの間になされるものではなく、残余の伸部（假伸）の駆動は、ステップS213にて後述する有効表示領域104の消去時に、コモン電極を併用することによって行われる。

また、本ステップでは、上述した伸駆動と同時にA/D変換が行われる。かかるA/D変換は、温度センサ400で検出された表示画面102の周囲温度情報、すなわちFLC温度情報を、A/D変換部950で読み込み、ディジタルデータに変換するものである（時点②および③）。

S209:

温度補償を行う。すなわち、上記で得られたA/D変換データを読み、制御部500内のROM503に格納されたルックアップテーブル（第12図）を参照し、温度補償された駆動電圧V、システムクロック、ディレイデータをそれぞれ得る。

上述した処理を、第35図を参照し、以下で詳細

データを1だけインクリメントし、その内容をEA80Hとする。これは、テーブル中のシステムクロックテーブルのアドレスに相当し、これによって温度補償されたデータを得る。この1水平走査期間の基本となるシステムクロックデータをタイマTMR2のタイムコンスタントレジスタTCNTRに設定する。

同様の処理によって、以下、ブロックアクセス、ラインアクセス、およびパワーオン/オフ時のブロックアクセスにおける各ディレイタイムデータを、それぞれタイマTMR1用のレジスタCNTB、CNTL、およびCNTBBに設定する。

S211:

有効表示領域104の駆動開始時間の同期をとる。すなわち、プログラム上のアクセス開始と実際の有効表示領域駆動開始の完全な同期をとるため、制御部500のタイマTMR2が有するクロック出力パルスToutの、例えば立上りエッジが来たときに、制御部500のCPUの内部割り込み要求IRQ3をかける。これによって有効表示領域の実際の駆動

開始とする（時点④）。

S 2 1 3 :

有効表示領域104の消去、すなわち全領域を、本例においては全「白」とする。これにより、先の枠駆動を相俟って、パワーオン時における表示画面102を良好なものとする。

これら有効表示領域104の消去は、ブロック毎に、例えば走査線20本を1ブロックとして駆動するものであり、従って1水平走査期間で1ブロックが消去される。

また、この駆動は、ワードプロセッサ本体1から、全有効表示領域104を「白」とする画像データを受け取って行われるものではなく、所定のブロック消去波形を、前述したようにプログラム上自動的に設定することにより行われるものである。このことによつて、パワーオン／オフ時の有効表示領域消去が可能となる。

S 2 1 5

1水平走査期間の調整を行う。すなわち、レジスタCNTBBのディレイデータをカウンタに設定

S 2 1 7 :

ステップS216で全ブロック（有効表示領域）が終了したと判断したら、Busy信号を“OFF”とし、ワードプロセッサ本体1から信号Dの転送を可能とする。同時に、信号Lightを“ON”とする。このとき、ワードプロセッサ本体1の操作者は、本体1の電源をオンとした後、表示画面102が表示されることによって、電源がオンとされたことを感覚するのであるが、それ以前に、上述したステップS201～S215の処理、とりわけ表示画面102の枠106および有効表示領域104の駆動が、初期表示制御として既になされているわけである（時点⑤）。

S 2 1 9 :

割り込み要求 $\overline{IRQ1}$ あるいは $\overline{IRQ2}$ を待つ。これら $\overline{IRQ1}$ あるいは $\overline{IRQ2}$ は、ワードプロセッサ本体1からアドレスデータが転送されて来たとき発生するものであり、これによって後述する各プログラムの実行が開始される。従って、アドレスデータが転送されて来るまでは、待機プログラムを実行

し、このデータを基にタイマTMR1は自己のクロックパルスをカウントする。これにより、有効表示領域104とプログラム実行時間との1水平走査期間の調整を行い、所定の時間が来た時点で内部割り込み要求 $\overline{IRQ3}$ を発生する。

すなわち、タイマTMR1は、ステップS205で設定した基本タイムデータとステップS209で得られた温度補償によるディレイタイムデータとから、所定の時間を設定し、ある適切な時点からかかる時間をカウントしたとき、内部割り込み要求を発生するものである。

S 2 1 6 :

上記ステップS211、S213、およびS215は、1ブロック毎に、すなわち1水平走査毎にその都度行われる。従って、本ステップにおいては、有効表示領域104の全ブロックが終了したか否かを判断し、否定判断であれば再びステップS211へ戻り、上記処理を全ブロック終了まで繰り返す（時点⑥）。

し、コモンライン、セグメントラインとも同電位に保持して、もしくはアース状態とする。このとき表示画面102は停止したままである。なお、この代りに、表示装置100への電源供給を停止する、例えば電源コントローラ800自体への電源供給を断つて電圧信号の発生をオフとしてもよい。

ところで、既述したように、 $\overline{IRQ1}$ あるいは $\overline{IRQ2}$ のどちらかの割り込み要求が発生するかは、予め設定されているものであり、これら設定は、例えばワードプロセッサ操作者の使用形態、ワードプロセッサで取り扱うデータ等によって、任意、操作者によって行われる。

(5.2.2) ブロックアクセス

前述した所定の初期制御（INITルーチン）の後で、割り込み要求 $\overline{IRQ2}$ によって起動されるブロックアクセス表示制御について、第38図(A)～(D)、第39図(A)および(B)を参照して説明する。

第18図(A)～(D)は、それぞれ、制御部500のROM503に、第12図で示す形態で格納された表示制御にかかるプログラムのフローチャートであり、ブロックアクセス表示制御の各段階でそれぞれ起動される。

第19図(A)および(B)は、かかる表示制御のタイムチャートを示す。

Busy信号を“OFF”として(第19図の時点①:以下数字のみ記す)、待機状態にあった制御部500は、アドレスデータが転送されてきたことによって(時点②)、発生する割り込み要求 $\overline{IRQ2}$ の入力(時点③)により第18図(A)で示すBSTARTルーチンを起動する(時点④)。以下、第18図(A)を参照して、BSTARTルーチンでの表示制御の説明を行う。

S 3 0 1 :

アドレスデータを読む。データ出力部600に転送されたアドレスデータRA/Dを制御部500に読み込む。

S 3 0 5 :

Busy信号を“ON”として(時点⑤)、次のアドレスデータ転送を拒否する。

S 3 0 7 :

ステップS303で設定したアドレスのプログラムへ実行を分岐する(時点⑥)。ここで、アドレスデータRA/Dが、ブロックの先頭ラインアドレスであればBLOCKルーチンへ、有効表示領域の最終ラインアドレスであればFLINEルーチンへ、上記以外のアドレスであればLINEルーチンへ実行が分岐されることになる。

第18図(B)に示すBLOCKルーチンが起動されたときには以下の処理を行う。

S 3 0 9 :

アドレス変換および設定を行う。すなわち、データ出力部600のレジスタ部630内のレジスタRA/D L、RA/D Uに転送されたアドレスデータRA/Dを読み込み、かかるアドレスデータに基づいて、上記(4.3.3)で述べたように、駆動すべきラインの選択を行うためのアドレス変換を行う。この変

S 3 0 3 :

読み込んだアドレスデータを基に、上記(4.3.2)で述べたようなアドレス変換を行い、第12図に示すジャンピングテーブルを参照して実行されるべきプログラムのアドレス設定を行う。

換されたアドレスで第12図に示すラインテーブルを参照し、かかるアドレスデータを得る。このデータをデータ出力部600のレジスタ部630内のレジスタDL LおよびDL Uへ設定する。

S 3 1 1 :

駆動モードをブロックアクセスとする。すなわち、データ出力部600のレジスタ部630内のレジスタDMにブロックアクセスモードのブロック消去を示すデータを設定する。

S 3 1 3 :

動作開始時間の同期をとる。すなわち、前述したように有効表示領域104とプログラム実行との動作タイミングの完全な同期をとるために、制御部500のタイマTMR2が有するクロック出力パルスToutの、例えば立上りエッジを待って、かかるエッジが発生したときに内部割り込み要求IRQ3を発生する。これにより出力パルスToutとプログラム実行タイミングとの同期、従って、出力パルスToutは有効表示領域104における1水平走査期間および動作タイミングの基本となるものであるか

ら、プログラム実行と有効表示領域104との動作タイミングの同期がとれることになる。

S 3 1 5 :

画像データ転送終了までの時間調整を行う。すなわち、第33図(A)のタイムチャートに示すように、画像データ転送は、アドレスデータ転送の直後に行われ、この転送終了(時点⑦)を待って有効表示領域104のアクセスを開始する。

ここで、画像データ転送時間とは、ワードプロセッサ本体1から、例えば1走査分の画像データ600ビットを4ビットパラレルに5MHzで転送するとすれば、この転送に40 μ sec、さらに加えてこれら画像データをセグメント制御部200に格納する時間を合わせたものである。

因に、本ルーチンBLOCKは主にブロック消去を行うためのものであり、ブロック消去は画像データを必要としないにもかかわらず、本ルーチンで画像データの転送を行っているのは、次のラインアクセス用のデータ転送を行っているからである。あるいは、ここで画像データを転送せずに、

これら有効表示領域104における1水平走査期間の長さに合せて、プログラム実行時間の調整を行うようにする。

具体的手法としては、制御部500内のタイマTMR1が、自己の有するクロックで、例えばアドレスデータが転送されてプログラムが起動した時点(時点④)から計時を行い、所定の時間が経過した時点で制御部500内のCPU501に内部割り込み要求IRQ3を発生して次のプログラムルーチンへ分岐するようにしたものである。

ここで、所定時間の決め方は、前記(5.2.1)のステップS203で述べたように、温度補償によって、第12図に示すテーブルエリアCNTBには、プログラム実行時間とディレイ時間とを合せたものがカウント数のデータとして格納されており、タイマTMR1は、自身のクロックのカウント数とCNTBの内容とを比較して、所定値を計数したときに、内部割り込み要求IRQ3を発生するようにしている。

所定時間が経過した時点で、IRQ3の発生によっ

同等の時間だけプログラムを実行しないようにしてもよい。

S 3 1 7 :

ブロック消去を開始する(時点⑧)。これにより1水平走査期間(1H)で1ブロック、すなわち、例えば走査線20本をアクセスし、かかるブロックを全「白」とする。これら駆動は、前述したように、全「白」の画像データを受け取って行われるのではなく、所定のブロック消去波形を設定して行うものである。

また、第33図(A)から明らかなように、このブロック消去開始時点(時点⑧)で、有効表示領域104では、前ブロックの最終ライン書き込みが終了したか、あるいは垂直帰線期間が終了したかのいずれかである。

S 3 1 9 :

1水平走査期間のプログラム上での調整を行う。すなわち、既に述べたように、有効表示領域104でのアクセス時間は、FLC表示素子の温度変動を伴って変化するようにしたものであるから、

てプログラム実行はLINEルーチンへ分岐する(時点⑨)。

第36図(C)は、LINEルーチンのフローチャートを示しており、本ルーチンはBLOCKルーチンの続きとして、あるいは直接BSTARTルーチンからの続きとして起動されるものである。以下ではBLOCKルーチンの続きとして説明を行い、また各ステップの説明において、既に述べたのと同様の処理については詳述を省略する。

S 3 2 1 :

IRQ3によってLINEルーチンが起動されると(時点⑨)、アドレス変換および設定を行う。

S 3 2 3 :

駆動モードをブロックアクセスモードのライン書き込みとする。すなわち、データ出力部600のレジスタ630内のレジスタDMにこの旨を示すデータを設定する。

S 3 2 5 :

動作開始時間の同期をとる。

S 3 2 7 :

画像データ転送終了までの時間調整を行う。ここでは、先のBLOCKルーチンで画像データの転送がなされていれば、データ転送を行う必要はなくプログラム上同等の時間を無実行で経過すればよい。

S 3 2 9 :

ラインアクセスを開始する(時点④)。この時点でブロック消去は終了する。転送された1走査線分の画像データによって、ブロック先頭ラインの1走査線分の情報の書き込みすなわち表示を行う。

S 3 3 1 :

1 水平走査時間の調整を行う(時点④)。

S 3 3 3, S 3 3 5

Busyを"OFF"として(時点④)、割り込み要求 $\overline{\text{IRQ2}}$ が来るのを待ち、この間、プログラムの実行はなされない。

アドレスデータが転送されてくると(時点④)、割り込み要求 $\overline{\text{IRQ2}}$ が発生し(時点④)、BSTARTルーチンが開始される(時点④)。以下、

以下、第36図(B)を主に、および第39図(B)を参照してFLINEルーチンの各ステップ毎に説明を行う。なお、既述したのと同様の処理については、その詳述は省く。

S 3 3 6, S 3 3 7, S 3 3 9, S 3 4 1, S 3 4 3 :

Busyを"ON"とし、アドレス変換および設定を行い、駆動モードをブロックアクセスモードのライン書き込みとし、動作開始時間の同期をとる。さらに、画像データ転送終了までの時間調整を行う。

S 3 4 5 :

最終ラインの書き込みを開始する(時点④)。この時点で、有効表示領域104の最後から2番目のライン書き込みが終了する。

S 3 4 7 :

有効表示領域104の最終ライン書き込みが終了したか否かを判断する。終了した場合は、次のステップS349へ進む。この判断は有効表示領域104の最終ラインをアクセスするときに限って行われるものであり、これ以外のアクセスの場合は、アク

BSTARTルーチンの次にLINEルーチンが実行され、ブロックの第2の走査線の書き込みが行われる。以上のように、BSTARTルーチンおよびLINEルーチンを繰り返し実行することによってブロック全ての走査線の書き込みを終了し、次のブロックの消去およびラインの書き込みを行うようにする。

上述の処理を経て、有効表示領域104の最終ラインを示すアドレスデータが転送されてきたとき、第36図(B)のフローチャートおよび第39図(B)のタイムチャートで示されるような処理が起動される。

すなわち、有効表示領域104の最終ラインである旨を示すアドレスデータが転送されてくると(第39図(B)の時点④: 以下番号のみを記す)、割り込み要求 $\overline{\text{IRQ2}}$ が発生し(時点④)、既述したBSTARTルーチンが起動される(時点④)。ここでは、アドレスデータが有効表示領域104の最終ラインを示すものであるから、本ルーチンの後には、第36図(B)で示すFLINEルーチンが起動される(時点④)。

セス開始の時点をも、監視しているだけである。

S 3 4 9 :

本ステップでは、次のステップで行われる神駆動のための波形制御データをデータ出力部800のレジスタ部810に設定して、データを更新する。なお、神駆動系統等を独立に設定すればデータを更新せずに神駆動を行うことも可能である。

因に、第33図等で示され、あるいは既述したINITルーチンにおいては、波形データ設定と共に、神駆動用電圧値の設定を行っているが、本ステップのように垂直帰線期間に行われる神駆動では、先にINITルーチンで温度補償されて得られた駆動電圧値を、基準として用いている。

S 3 5 1, S 3 5 3

神106の駆動およびA/D変換を開始する(時点④)。この時点から垂直帰線期間が始まる。また、A/D変換終了と同時に、A/D変換された温度データを基に、駆動電圧値、システムクロック、ディレイタイムデータを得る。すなわち温度補償データの更新を行う。

なお、ステップS351の枠駆動では枠108の一部のみ(横枠)が駆動されて全「白」となるのであって、残余の部分(縦枠)については、後に行われる有効表示領域104の駆動時に、それと並行して行われるものであることは、既にINITルーチンの説明において述べたことである。しかし、これら枠108の駆動系統を、有効表示領域104の駆動系統と独立なものとすれば、枠108の駆動を一度に行うことも可能である。

また、枠108を、電氣的駆動を行って形成することによって、有効表示領域104外の画質を良好なものにするものとしてきたが、枠108を機械的に、あるいは、塗装等によって被覆することにより、有効表示領域104外の画質を考慮せずにするようにしてもよいことは勿論のことである。

S 355, S 357 :

Busy信号を“OFF”として、割り込み要求 $\overline{\text{IRQ2}}$ を待つ(時点④)。

以上のようにして、有効表示領域104の最終走査線の書き込み、およびその直後の垂直帰線期間で

本例のラインアクセスが、先のブロックアクセスと主に異なる点はブロック消去が無いことであり、予め走査線等の消去を行わず、1走査線毎に情報の更新、すなわち表示を行うものである。以下、先のブロックアクセス表示制御における処理と同等のものについては、その詳述を省略する。

Busy信号を“OFF”として(第40図(A)の時点①:以下数字のみ記す)、待機状態にあった制御部500は、アドレスデータが転送されてきた(時点②)ことにより発生する割り込み要求 $\overline{\text{IRQ1}}$ (時点③)によって、第37図(A)で示すLSTARTルーチンを起動する(時点④)。以下、第37図(A)を参照して、LSTARTルーチンでの表示制御の説明を行う。

S 401 :

アドレスデータを読み込む。

S 403 :

読み込んだアドレスデータが、有効表示領域104の最終走査線のものかどうかを判断する。最

の枠駆動、温度補償等を行う。

その後、アドレスデータ、すなわち有効表示領域104の最上位走査線のアドレスデータが転送されてくると(時点⑤)、割り込み要求 $\overline{\text{IRQ2}}$ が発生し(時点⑥)、BSTARTルーチンの実行が開始される(時点⑦)。以下、順次、1ブロック毎の消去およびライン書き込みが行われる。

(5.2.3) ラインアクセス

一方、前述した、所定の初期制御(INITルーチン)の後で、割り込み要求 $\overline{\text{IRQ1}}$ によって起動されるラインアクセス表示制御について、第37図(A)~(C)、第40図(A)および(B)を参照して説明する。

第37図(A)~(C)は、それぞれ制御部500のROM503に、第12図で示す形態で格納された表示制御にかかるとのプログラムのフローチャートであり、ラインアクセス表示制御の各段階でそれぞれ起動される。

第40図(A)および(B)は、かかる表示制御のタイムチャートを示す。

終走査線のデータであれば、FLLINEルーチンへ分岐し、それ以外のデータであればLLINEルーチンへ分岐する。

以下、LLINEルーチンにかかるとの表示制御について、第37図(B)および第40図(A)を参照して説明する。

S 405, S 407, S 409 :

Busy信号を“ON”(時点⑤)として、アドレス変換および設定を行う。また、駆動モードをラインアクセスとする。

S 411, S 413 :

動作開始時間の同期、および画像データ転送終了までの時間調整を行う。

S 415 :

ラインアクセスを開始する(時点⑥)。すなわち、1走査線分の情報の書き込みを行う。この時点で、垂直帰線期間あるいは1ライン前の走査線の書き込みが終了する。

S 417, S 419, S 421 :

1水平走査期間の調整をするため所定の時間待

機し、内部割り込み要求IRQ3の発生によって(時点⑦)、再びプログラムを起動してBusy信号を“OFF”として(時点⑧)、割り込み要求IRQ1を待つ。

以上の如くして、1走査線分の書き込みを行い、以下、順次連続的に転送されるアドレスデータに基づき、LSTARTルーチンおよびLLINEルーチンを繰り返すことによって、走査線の書き込みを行ってゆく。

LSTARTルーチンのステップS403で、転送されたアドレスデータが有効表示領域104の最終走査線のものであると判断されたとき、処理はFLLINEルーチンへ分岐する。

以下、第37図(C)および第40図(B)を参照して、FLLINEルーチンの表示制御を説明する。

S422, S423, S425:

Busy信号を“ON”(第40図(B)の時点⑨:以下数字のみ記す)とし、アドレス変換および設定を行う。また、駆動モードをラインアクセスする。

Busy信号を“OFF”として、割り込み要求IRQ1を待つ(時点⑩)。

以上の如くして、ブロックアクセスの場合と同様、有効表示領域104の最終走査線の書き込み、およびその直後の垂直帰線期間での枠駆動、温度補償を行う。

その後、アドレスデータ、すなわち有効表示領域104の最上位走査線のアドレスデータが転送されてくると(時点⑪)、割り込み要求IRQ1が発生し(時点⑫)、LSTARTルーチンが起動される(時点⑬)。以下、順次、1走査線毎にライン書き込みが行われる。

(5.2.4) 電源オフ

ワードプロセッサ本体1の操作者が、キー等によって電源を切る操作を行ったとすると、このとき、電源オフ時の表示制御にかかるPWOFFルーチンが起動される。

以下、第34図に示すタイムチャート、および第38図のフローチャートを参照して、かかる表示制

S427, S429:

動作開始時間の同期、および画像データ転送終了までの時間調整を行う。

S431:

ラインアクセスを開始する(時点⑭)。この時点で、1ライン前の走査線の書き込みを終了する。

S433:

有効表示領域104の最終ラインの書き込みが終了したか否かを判断する。終了した場合は、次のステップS435へ進む。

S435:

本ステップでは、次のステップで行われる枠駆動のための波形制御データを設定する。

S437, S439

枠108の駆動およびA/D変換を開始する(時点⑮)。この時点で、有効表示領域104の最後から2番目の走査線の書き込みが終了する。A/D変換終了と同時に、温度補償データの更新を行う。

S441, S443:

御について説明する。

操作者が、電源を切るためにキー等の操作を行ったとき、ワードプロセッサ本体1から制御部500へPDOWN信号が送出され、これにより制御部500のCPU501には、ノンマスカブル割り込み要求NMIがかかり、PWOFFルーチンが起動される。この割り込み要求NMIは無条件割り込みであり、制御部500がどのような処理を行っていたとしても、直ちに以下に示す処理が開始される。すなわち、

S501:

Busy信号を“ON”とし、同時にLight信号を“OFF”とする(第34図の時点⑯:以下数字のみ記す)。

S503:

動作開始時間の同期をとる。これは既述したのと同様の処理である。

S505:

有効表示領域104の駆動を開始する(時点⑰)。この駆動は、INITルーチンにおけるものと

同様、1 水平走査期間で有効表示領域104 の1 ブロックを各々消去するものである。かかる駆動によって領域104 の全領域を「白」とし、その画質を良好にして次の表示に備えるものである。

S 5 0 7 :

1 水平走査期間の調整を行う。この処理も既述したものと同様である。

S 5 0 9 :

上記、ステップS503、S505 およびS507は1 ブロックの消去の都度行われる処理であるから、本ステップにおいては、全ブロック、すなわち有効表示領域104 の全ての消去が終了したか否かを判断する。

S 5 1 1 :

ステップS509で終了したものと判断されたとき(時点④)、パワーステイタス(P ON/OFF)信号を“OFF”とし、同時にBusy信号も“OFF”とする(時点⑤)。上記P ON/OFF信号の“OFF”によって、ワードプロセッサ本体1を含む表示装置全体の電源が遮断される(時点⑥)。

死角の発生も生じない。さらに、有効表示領域104 上表示データの背景の色と同色もしくは異色に枠形成を行うこともできるようになるなど、枠形成時の柔軟性も向上する。

(6.2) 温度補償の効果

有効表示領域104 および枠部106 に対応したFLC素子の駆動エネルギー(電圧およびパルス幅)を、書き込みタイミングの直前に温度に応じて補償するようにしたので、温度条件によらず安定した駆動が可能となり、FLC素子を用いた表示装置の表示の信頼性を向上できる。

特に本例のように、補償データの更新を垂直帰線期間に行うことによって、効率の高い表示処理が可能となると共に、温度データの検出指令すなわちA/D変換部950の駆動指令に応じ検出の駆動もなされるようにしたことによって表示処理効率を一層向上できることになる。

(6.3) 画像データ入力に応動させた制御の効果

ホスト装置からの画像データの入力を待機する手段を設け、その入力に応じて動作の開始を行う

(6) 実施例の効果

以上のような実施例によれば、以下の如き効果が得られる。

(6.1) 枠形成の効果

FLC素子で表示装置を構成した場合において、表示画面102 上の有効表示領域104 外に枠部106 を設けたことにより、有効表示領域104 外の領域に対応したFLC素子の状態が不安定となることにより生じる表示画面102 の画質の低下を予防できるのみならず、有効表示領域104 の明示が困難となったり、操作者に錯覚を起こさせる事態も防止できる。

特に本例のように枠部106 に対応させて枠用の電極を配置し、電気的に枠形成を行った場合には、表示画面102 上に金属、プラスチック等機械的部材を枠として載置したり、あるいは塗装等を実施したりすることにより言わば機械的に有効表示領域104 の区画を行う場合に比して、機械的な配置位置の調整が不要となり、また表示装置の取扱位置によっては機械的部材の載置により起り得る

ようにしたので、記憶性を有さない表示素子を用いた表示器に対してと同様の、表示内容の変更の有無に関わらず連続して行うリフレッシュ駆動が可能であるのみならず、表示内容の変更が生じたときにのみ表示データを更新するような不連続の駆動も可能となる。リフレッシュ駆動が可能である結果、既存のホスト装置の仕様更新を殆ど必要としないことになる。また不連続の駆動を可能とした結果、消費電力の低減化も可能となり、さらにホスト装置としては画面更新の必要が生じたときにのみデータを送出すれば足りるので、ホスト側のソフトウェアあるいはハードウェア上の負担を軽減できることになる。

また、1単位(例えば1ライン分)の画像データの入力に応じてホスト装置に対しビジー信号を送出するようにしたので、この後種々の設定等を行うことができるようになる。この場合、ホスト装置にはビジー信号を受け付けて画像データの転送を待機する機能を付加すれば足りる。

さらに本例においては、ホスト装置たるワード

プロセッサ本体1から画像データに付加して供給される実アドレスデータの入力の有無に応じて動作の開始/停止を行うとともに、その実アドレスデータに基づいてアクセスすべきブロックまたはラインを認識することにより部分交換も可能となり、さらにはリフレッシュ駆動時における温度補償データの更新も垂直帰線期間に可能となる。

(6.4) 表示器駆動部配設の効果

FLC素子で構成した表示器100に設けた電極(コモンcom、セグメントラインseg、枠用コモンラインFcom、枠用セグメントラインfseg)に対して複数の電圧供給ラインおよびそれぞれの供給ラインと電極とを接続/遮断するスイッチを設けると共に、スイッチの切換え設定を波形データの供給に応じて行う手段(コモン側駆動部300、セグメント側駆動部200、枠駆動部700)を設けたので、波形データの内容によって種々の駆動波形で適切に電極を駆動できることになる。

また、実施例では制御の過程において適宜波形

適用できる。

(6.6) 電源コントローラ配設の効果

FLC素子で構成した表示器100に設けた電極(ラインcom、seg、Fcom、fseg)に印加する電圧の値を変更可能としたので、温度条件や駆動条件に応じて最適の値の電圧を電極に供給できるようになる。

特に、実施例では、コモン側のラインcom、Fcomに対して+、-および基準電位の3値の電圧を、セグメント側のラインseg、fsegに対しても同様に3値の電圧を印加可能とし、計5種のそれぞれ異なる値の電圧を発生可能とした。また、1つの値(Vc)を固定とし、他の各値の相対比を予め設定できるようにし、さらに一部の出力電圧を用いて他の出力電圧が定まるようにしたことにより、一部の出力電圧の変更に応じて計5値の電圧が発生できるので、温度条件等に応じた適切な電圧値の調整も容易となる。

加えて、コモン側駆動エレメントに用いるICは高い耐圧性が要求されるのに対し、セグメント側

データを変更して供給可能としたので、ブロック消去、画像形成、枠形成、画面クリア等における駆動を適切な波形により行うことができるようになり、画質も向上できる。

(6.5) 画面強制クリアの効果

電源の投入および遮断に際してFLC素子で構成した表示器100の表示画面102をクリアするようにしたので、表示画面102を表示画面102を見て明置にした状態で使用開始したり、電源の遮断を容易に認識できるようになる。

特に、実施例では電源投入/遮断時にホスト装置側よりクリア用のデータ(例えば全白データ)の供給を受けなくても自らクリアを行うことができるようにしたので、ホスト装置の負担の軽減およびクリアの高速化を達成できる。

また、画面のクリアを自ら行うことができる構成は、例えば動作中において画面クリアを行う場合にホスト装置より全白データを受けるのではなく、単にその旨の指令のみを受け、これに応じて自らクリアするように制御を行うことにも有効に

駆動エレメントに用いるICには高い動作速度が要求されるが、本例のように1つの電圧を固定とし、それに対する相対比を保ったまま電圧変更を行うようにすれば、両者の仕様を統一でき、製造工程も簡略化できる。

(7) 変形例

(7.1) 枠106の構成

実施例においては、枠106を電気的に形成するようにしたが、本発明は、これに限られず、例えば表示画面102の枠106に相当する部分をプラスチック等の機械的手段、あるいは塗装等によって被覆するようになし、有効表示領域104外の部分の画質を考慮せず済むようにすることも可能である。また、電気的駆動によって枠駆動する場合でも、枠駆動系統を独立に設ければ、一度に枠駆動を行うことも可能である。さらに、電気的駆動によって枠形成を行う場合には、上例のように背景色と同色にするのみならず、データ色と同色とするようにしてもよい。

さらに、上例では枠用透明電極150、151を駆動

部200,300と独立に設けた制御部700により駆動するようにしたが、その双方あるいはいずれか一方に対してエレメント210,310と同様のもしくは同一の駆動エレメントを設け、駆動部200,300の駆動制御の一部として駆動制御を行うようにしてもよい。

(7.2) 温度補償のタイミングおよび部分書き換え

上記実施例において、温度補償は垂直帰線期間内に行うものであった。これは、アドレスデータおよび画像データが周期的かつ連続的に（リフレッシュモードで）転送されてくることを前提としていたために可能なことであった。しかしながら、温度補償のタイミングは上例に限られず適当な時期に定めることができ、例えば特定部分のアドレスデータが間欠的に（部分書き換えモードで）転送されてくる場合には、垂直帰線期間なるものが存在せず、従って上例の表示制御では温度補償が行われず、その表示制御が不適当なものになってしまう恐れがある。

した周波数（すなわち1水平走査期間）および駆動電圧値との関係は、これに限られたものではなく、例えば、温度範囲をより狭いものとし、これと対応して周波数および駆動電圧値を適切に設定すれば、きめ細かな温度補償が可能になる。

(7.4) 波形の設定

上記実施例では、制御用の波形を除いて、画像形成用の波形データはレジスタ630に1度設定すると、その波形データを更新することはなかったが、上例の装置構成によっても、表示制御の適当な段階で波形や11分割数の制御データの更新ができることは明らかである。これにより、様々な駆動条件に対応した駆動波形を発生できる。

また、上例のように駆動条件に応じて波形データを選択するのみならず温度に応じて波形データを変更し、適宜の波形を得るようにすることも可能である。この場合には、例えば第12図における未使用の領域EE00H～等に他の設定データと同様にして温度に対応した波形規定データを格納しておき、上述のジャンピングテーブルを用いた読出

そこで、部分書き換えモードの駆動を行う場合には、一定周期で温度補償を行うようにするのが望ましい。そのために、例えば、制御部500の有するタイマで時計を計測し、一定周期で内部割り込み要求をかけてBusy信号を“ON”とした後に温度補償を行うようにすれば良い。

なお、部分書き換えモードの駆動を可能にするためには、上記実施例でのワードプロセッサの機能に加えて、特定部分のアドレスデータおよび画像データを転送する機能を有するものとすれば良い。あるいはアドレスデータを上記実施例のようにリフレッシュモードで転送する場合でも、アドレスデータの後の画像データの有無でかかる表示制御を起動するか否かを判断するような構成によっても可能である。

さらに、温度補償は上例のようにテーブル方式とすることなく、適宜の演算により行うようにしてもよい。

(7.5) 1水平走査期間および駆動電圧値

第9図に示したような温度範囲と、それに対応

しと同様にして波形データの変更設定を行えばよい。また、波形データの変更を任意に行えるようにして、最適の波形を定めるために本装置を用いることもできる。

(7.6) ブロックアクセスあるいはラインアクセスの選択

ブロックアクセスあるいはラインアクセスの選択、すなわち割り込み要求 $\overline{TRQ1}$ あるいは $\overline{TRQ1}$ の選択は、上記実施例において、操作者によって、その使用形態や書き込むデータの形態に応じて行われるものとした。これは、例えば、表示画面102での1ブロックの大きさが表示される文字列の大きさに相当するものであり、かつ書き込むデータが文字、数字等のみであったならば、文字列毎の取り扱いができるという理由でブロックアクセスが有効なものとなる。

一方、表示される画像が、種々の異なった大きさの記号、図形ボタン等であれば、ブロックの大きさを越えた表示や書き換えを行わなければならないから、ラインアクセスがより適切なものとな

る。

(7.6) 走査線数

上記実施例では、1ブロックあたりの走査線数を10本とし、有効表示領域全体で400本としたが、これに限らず、FLC表示素子を用いた本例にあっては、走査線の数を増すことによる選択時間／ラインの減少はありえないから、走査線の数を増して、表示画面のより高精細、大画面化も可能である。

(7.7) 有効表示領域104の消去

表示画面を初期状態にするために、有効表示領域104の消去は、電源オン／オフ時に自動的に、すなわちワードプロセッサ本体1から全「白」データを受け取らずに行うものであった。しかし、画面クリアはオンまたはオフ時のいずれか一方でもよいのは勿論である。またブロックアクセスやラインアクセスの表示制御の中でも、有効表示領域全体を消去する必要が生じたとき、転送されるデータによらずに消去を行うようにすることもできる。

したが、本発明は上例に限られず、例えばコンピュータ端末のディスプレイやテレビジョンにも適用できるのは勿論である。

また、FLC表示素子が記憶性を有するという性質を有効に利用したものとして、既存のテレビジョンで考えられるより、より大きな画面を用いた表示装置の構成も可能である。

さらに、本発明は、静止画像やあるいは画面更新頻度の比較的少ない画像の表示を行う場合に適用して有効である。例えば文字放送やインフォメーションサービス等の受信機、あるいは時計の文字盤や各種機器のメッセージ表示部における7セグメント等の表示器に適用した場合には、画面の変更が生じたときに駆動を行えばよいことから、省電力化に寄与する莫大である。

これらの場合、画面を変更時にすべて更新してもよく、部分変更があった場合に上述の部分書換えと同様にその部分のみを更新してもよい。また、これらの場合、温度補償は定周期割込みで行えばよく、かくすることにより次に更新される

そのために、例えば、ワードプロセッサ本体1の有するキー等の操作によって、無条件割り込み等の制御信号を送出し、これによって制御部500は有効表示領域104の消去を行うようにすればよい。

(7.8) 温度センサ400の位置

温度センサ400は、予め実験等で求められたFLC温度分布に基づいて、分布温度を代表するような位置に適切に配設されるものであるが、より温度検出を精確なものとするために、複数の温度センサを用いるようにしてもよい。

(7.9) 表示器100、表示制御装置50、およびワードプロセッサ本体1

ワードプロセッサ本体1と制御装置50との間で授受される信号の形態、例えば信号D（信号A/D、画像データ、実アドレスデータを含む）の形態は上例に限られず、適宜のものであってもよいのは勿論である。

また、上記実施例では、ワードプロセッサに係る表示器および表示制御系を例にとって説明を行

画面は駆動補正がなされたものとなる。画面更新の周期が長い場合や部分書換えを行う装置の場合には、温度補償を行ったときにそのとき表示中のデータ全体を、例えばVRAM等から再出力させて書換えてもよい。これによれば、画面全体にわたり、常に均質で良好な表示状態を保持できる。

【発明の効果】

以上説明したように、本発明によれば、ホスト装置からの画像データの入力を待機する手段を設け、入力に応じて動作の開始を行うようにしたので、記憶性を有さない表示素子を用いた表示器に対してと同様の、表示内容の変更の有無に関わらず連続して行うリフレッシュ駆動が可能であるのみならず、表示内容の変更が生じたときのみ表示データを更新するような不連続の駆動も可能となる。リフレッシュ駆動が可能である結果、既存のホスト装置の仕様変更を殆ど必要としないことになる。また不連続の駆動を可能とした結果、消費電力の低減化が可能となり、さらにホスト装置としては画面更新の必要が生じたときのみデータを送出すれば足りるので、ホスト側のソフトウェアあるいはハードウェア上の負担を軽減でき、以てFLC素子の特長を活用しつつ適切な駆動制御が実現できる。

4. 図面の簡単な説明

第1図は本発明の一実施例に係る表示装置および制御部の構成の一構成例を示す線図、

第13図は本実施例に係るアドレス変換を説明するための説明図、

第14図は本実施例に係るライン番号とジャンピングテーブルとの対応づけの一例を示す説明図、

第15図は本実施例における走査線の選択方法を説明するためのブロック図、

第16図は本実施例に係るデータ出力部の構成の一例を示すブロック図、

第17図は第16図示のデータ出力部において駆動波形生成の設定を行うための各部の信号を示す波形図、

第18図は本実施例に係るA/D変換部の一構成例を示すブロック図、

第19図は本実施例に係るD/A変換部および電源コントローラの一構成例を示すブロック図、

第20図は本実施例に係る種駆動部の一構成例を示すブロック図、

第21図は本実施例に係るセグメント側駆動エレ

メントの構成の一例を示すブロック図、

第2図および第3図は、それぞれ、実施例に係る表示器の一構成例を示す分解斜視図および断面図、

第4図は駆動電圧と印加時間との関係を説明するための線図、

第5図(A)、(B) および第6図は、FLC素子の駆動波形を説明するための波形図、

第7図(A) および(B) は駆動電圧とFLC素子の透過率との関係を示す線図、

第8図はFLC素子の温度と駆動電圧との関係を示す線図、

第9図は本実施例に係り、制御部の記憶領域にデータとして格納される温度、駆動電圧および周波数の関係の一例を説明するための線図、

第10図は本実施例に係る有効表示領域のブロック区分を示す説明図、

第11図は本実施例に係る制御部の一構成例を示すブロック図、

第12図は第11図示の制御部におけるメモリ空間メントの概略構成例を示すブロック図、

第22図は第21図示のセグメント側駆動エレメントの詳細な構成例を示す回路図、

第23図は本実施例に係るコモン側駆動エレメントの概略構成例を示すブロック図、

第24図は第23図示のコモン側駆動エレメントの詳細な構成例を示す回路図、

第25図は表示器の駆動態様を説明するために表示器を簡略化して示す説明図、

第26図(A) および(B) はブロック消去時におけるコモンラインおよびセグメントラインの駆動波形の一例を説明するための波形図、

第27図は第26図(A) および(B) に示したコモンラインおよびセグメントラインの駆動波形の合成波形を示す波形図、

第28図(A) および(B) はブロックアクセスモードのライン書込み時におけるコモンラインおよびセグメントラインの駆動波形の一例を説明するための波形図、

第29図(A) および(B) は第28図(A) および(B)

に示したコモンラインおよびセグメントラインの駆動波形の合成波形を示す波形図、

第30図(A) および(B) はラインアクセスモードのライン書き込み時におけるコモンラインおよびセグメントラインの駆動波形の一例を説明するための説明図、

第31図(A) および(B) は第30図(A) および(B) に示したコモンラインおよびセグメントラインの駆動波形の合成波形を示す波形図、

第32図は本実施例に係る表示制御手順の概略構成を示すフローチャート、

第33図は本実施例に係る表示制御手順のうちの初期処理手順の一例を示すフローチャート、

第34図は第33図示の初期処理および電源オフ時の処理における本実施例の動作を説明するためのタイムチャート、

第35図は本実施例に係り、温度データを駆動電圧データおよびタイムデータに変換するアルゴリズムを説明するための説明図、

第36図(A) ~ (D) および第37図(A) ~ (C) は、

第38図(A) ~ (D) および第39図(A) ~ (D) は FLC 素子に印加する電圧の波形を示す波形図である。

1 ---ワードプロセッサ、
50 ---表示制御装置本体、
100 ---表示器、
102 ---表示画面、
104 ---有効表示領域、
106 ---枠、
110 ---上部ガラス基板、
112 ---配線部、
114, 124 ---透明電極、
115, 125 ---取出し電極、
116, 126 ---絶縁膜、
120 ---下部ガラス基板、
122 ---配線部、
128 ---金属層、
130 ---FLC 封入部、
132 ---FLC、

それぞれ、本実施例に係るブロックアクセスモードおよびラインアクセスモードでの詳細な表示制御手順の一例を示すフローチャート、

第38図は本実施例に係る電源オフ時の詳細な表示制御手順の一例を示すフローチャート、

第39図(A)、(B) および第40図(A)、(B) は、それぞれ、第36図(A) ~ (D) および第37図(A) ~ (C) に示した表示制御手順による本実施例の動作を説明するためのタイムチャート、

第41図はTN液晶を説明するための模式図、

第42図はSmC'液晶を説明するための模式図、

第43図はSmH'液晶を説明するための模式図、

第44図はFLC分子の構造を説明するための模式図、

第45図はFLCを用いた表示素子の一例を示す模式図、

第46図は本発明に適用可能なFLC表示素子の一例を示す模式図、

第47図は本発明に適用可能なマトリクス電極構造を有するセルの一例を示す模式図、

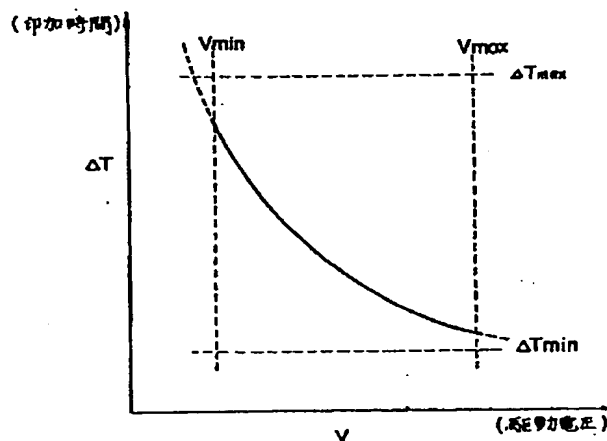
134 ---スペーサ、
136 ---配向膜、
140 ---シール材、
142 ---充填口、
144 ---封口部材、
150, 151 ---共用透明電極、
200 ---セグメント側駆動部、
210 ---セグメント駆動エレメント、
220 ---シフトレジスタ、
230 ---ラッチ部、
240 ---入力論理回路、
250 ---制御論理部、
260 ---スイッチ信号出力部、
270 ---ドライバ、
300 ---コモン側駆動部、
310 ---コモン駆動エレメント、
340 ---入力論理回路、
345 ---デコーダ、
350 ---制御論理部、
360 ---スイッチ信号出力部、

370 ---ドライバ、
 380 ---基板、
 382 ---フレキシブルケーブル、
 384 ---導電部材、
 400 ---温度センサ、
 500 ---制御部、
 501 ---CPU、
 503 ---ROM、
 505 ---RAM、
 507 ---リセット部、
 509 ---クロック発生部、
 511 ---ハンドシェイクコントローラ、
 600 ---データ出力部、
 601 ---データ入力部、
 603 ---IRQ発生部、
 605 ---DACT発生部、
 611 --- \overline{FEN} 発生部、
 613 ---FENトリガ、
 619 ---Busyゲート、

710,715,720,730,735,740 ---スイッチ、
 800 ---電源コントローラ、
 810,820,825,830,840

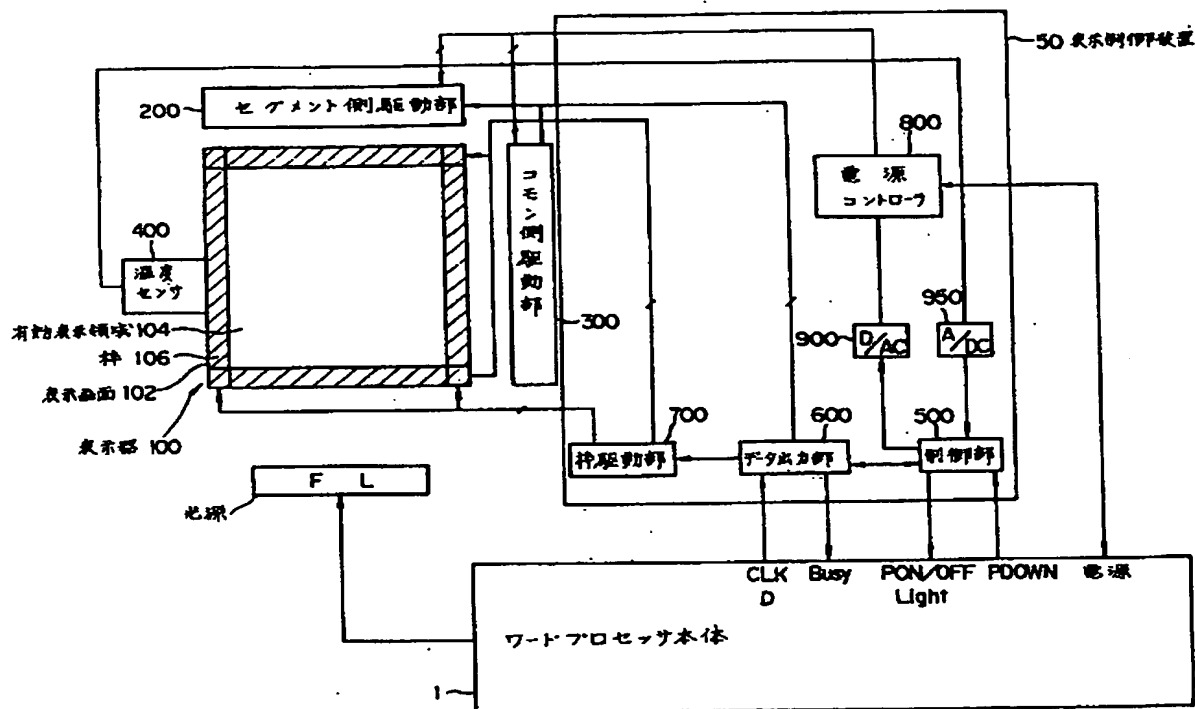
---可変ゲイン増幅器、
 900 ---D/A変換部、
 901 ---D/A変換器、
 950 ---A/D変換部、
 951 ---A/D変換器、
 FL---光源、
 PORT1 ~ PORT6 ---ポート部、
 DDR1 ~ DDR6 ---入出力設定レジスタ、
 TMR1, TMR2 ---タイマ、
 AB---アドレスバス、
 DB---データバス、
 com ---コモンライン、
 seg ---セグメントライン、
 Fcom---共用コモンライン、
 Fseg---共用セグメントライン。

621 ---デバイスセクタ、
 623 ---レジスタセクタ、
 625 ---22ビットラッチパルスゲート
 アレイ、
 630 ---レジスタ部、
 641 ---実アドレス格納制御部、
 643 ---水平ドット数カウンタ、
 645 --- \overline{LATU} 発生部、
 650 ---デコーダ部、
 661 ---選倍器、
 663A~663D---リングカウンタ、
 665,669 ---マルチプレクサ、
 667 ---4相リングカウンタ、
 671,675 ---マルチプレクサ部、
 673 ---シフトレジスタ部、
 677 ---出力部、
 680 ---ゲートアレイ、
 690 ---MR発生部、
 700 ---制御駆動部、



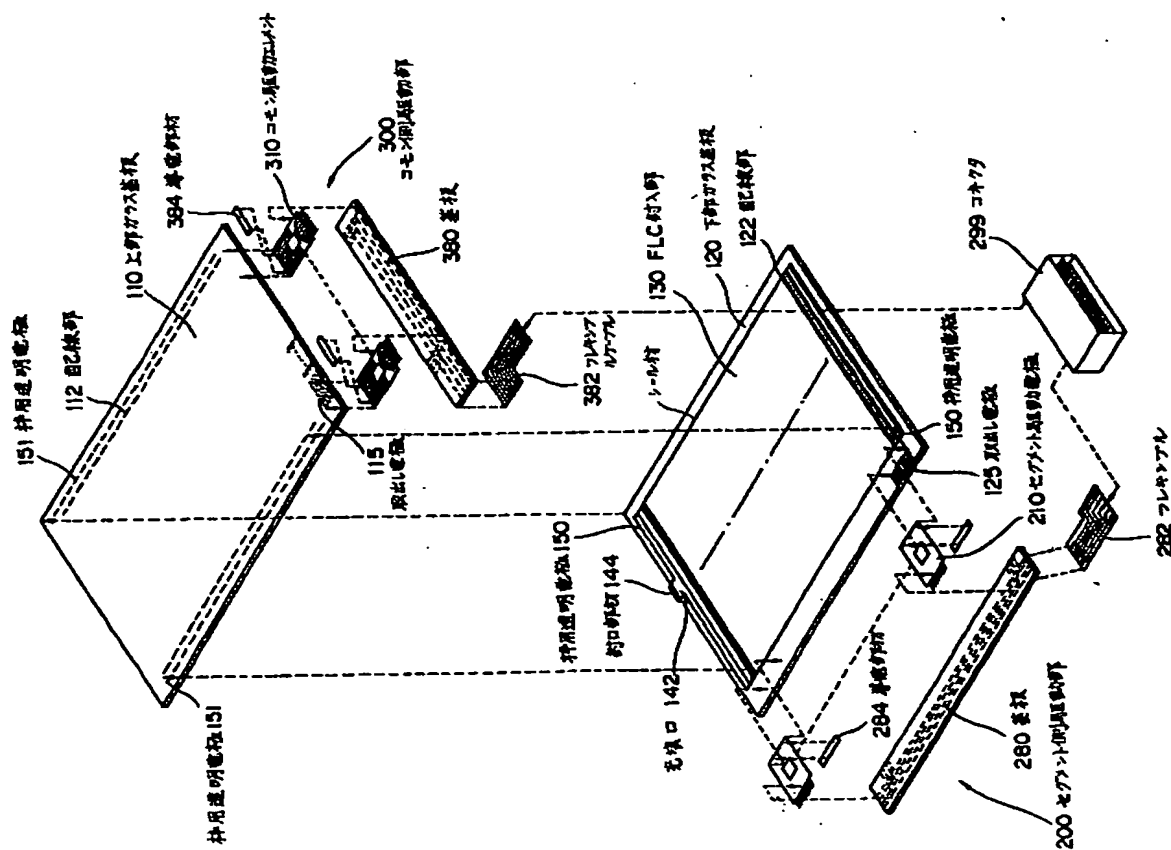
駆動電圧と印加時間の関係を示す線図

第4図



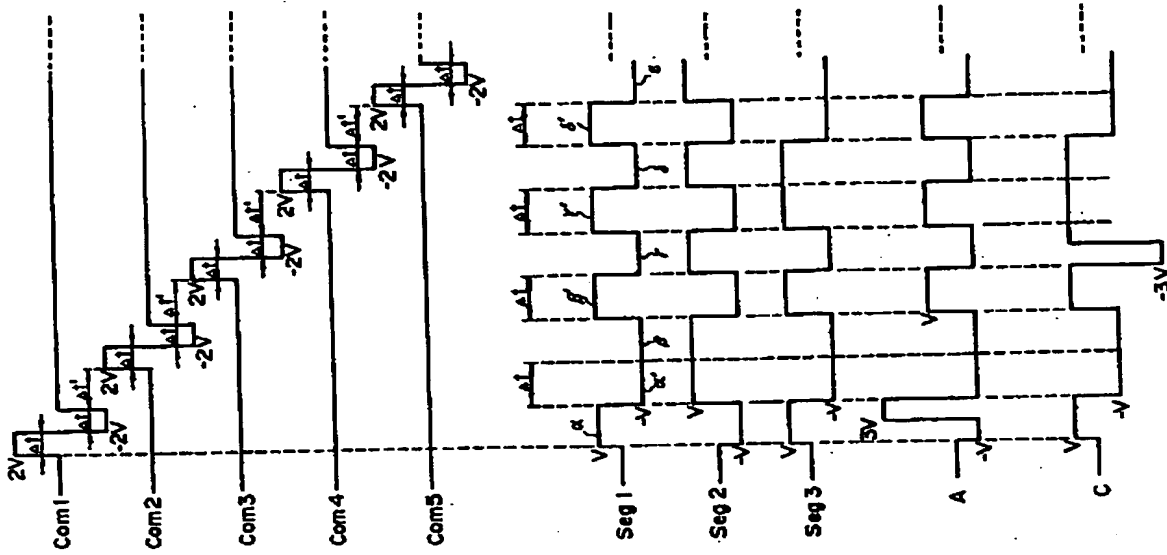
実施例装置の構成図

第1図



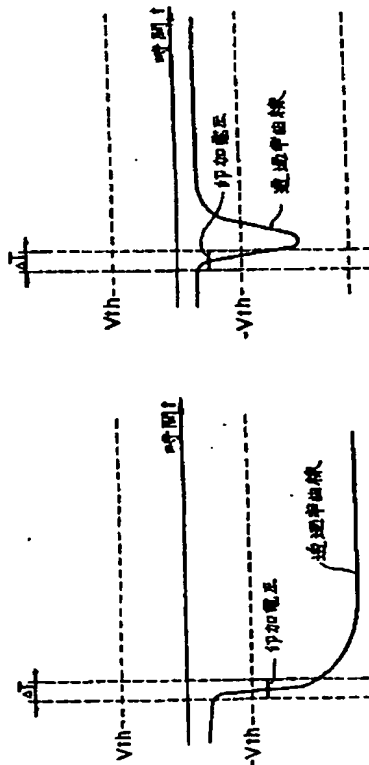
実施例表示器の分解斜視図

第2図



駆動波形説明のための波形図

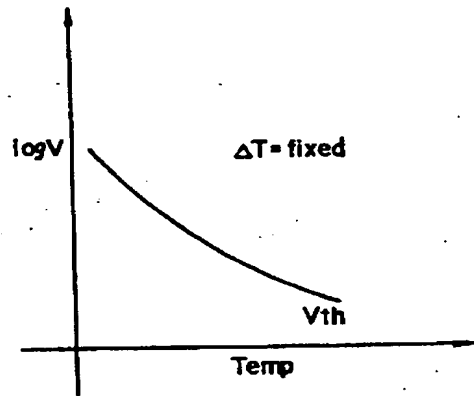
第6図



(B)

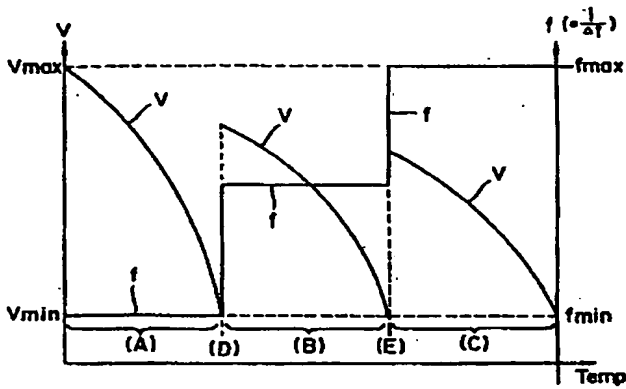
駆動電圧と過渡率との関係を示す線図

第7図



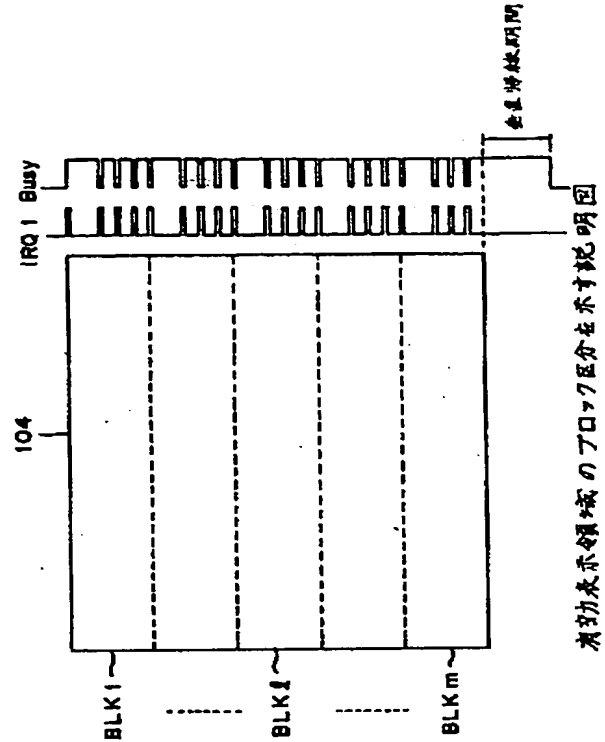
温度と駆動電圧の関係を示す線図

第8図

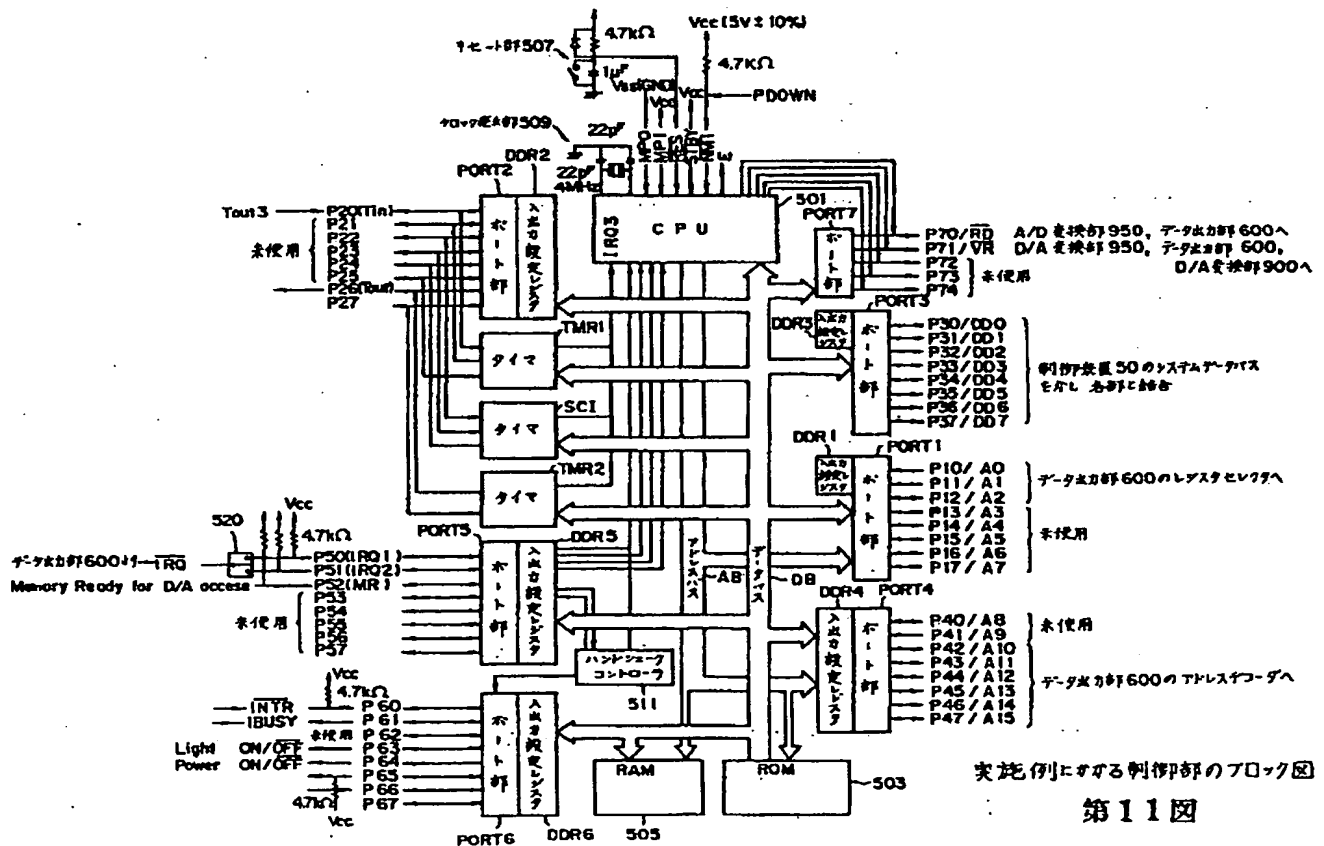


温度駆動電圧および周波数の関係を示す線図

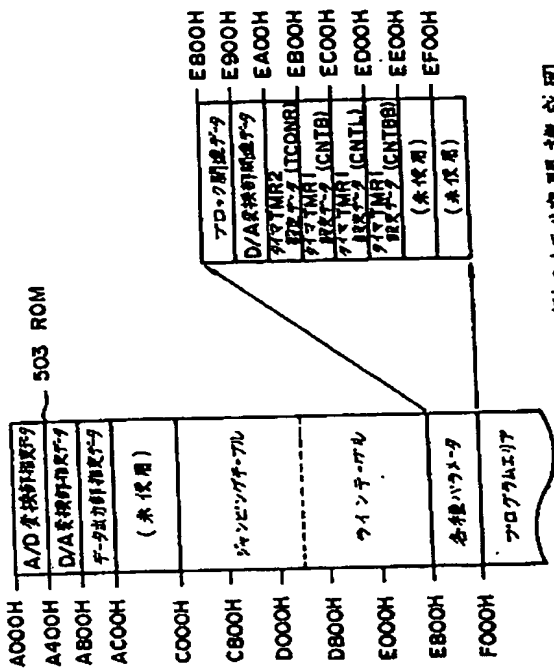
第9図



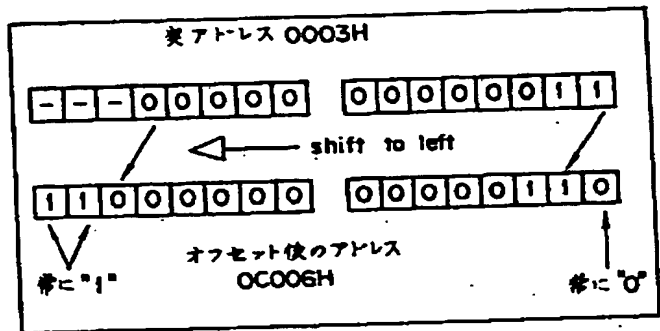
第10図



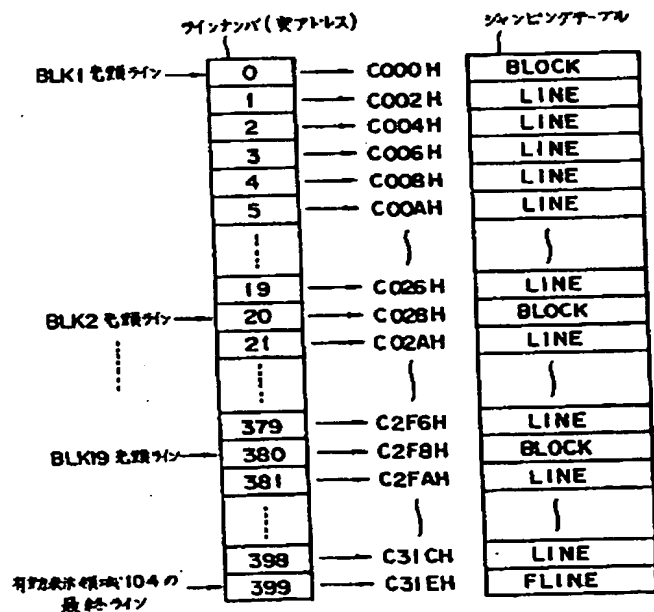
第11図



実施例のメモリ空間構成図 第12図

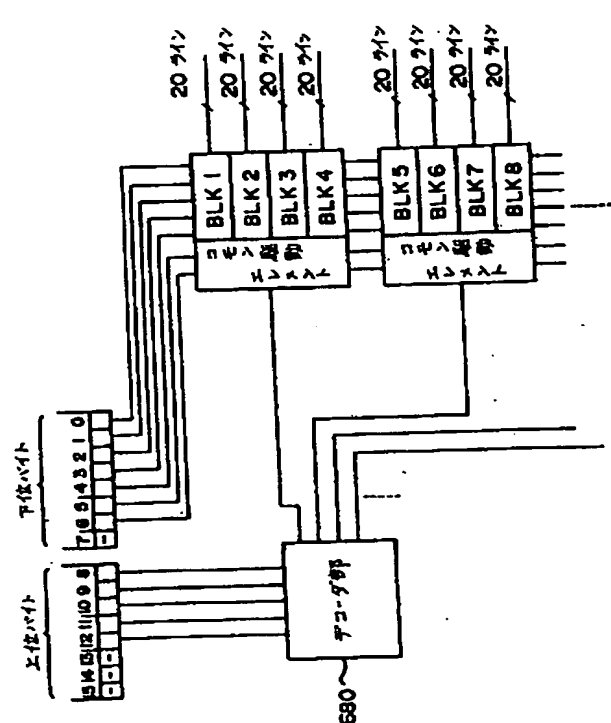


実施例に係るアドレス変換の概念図
第13図



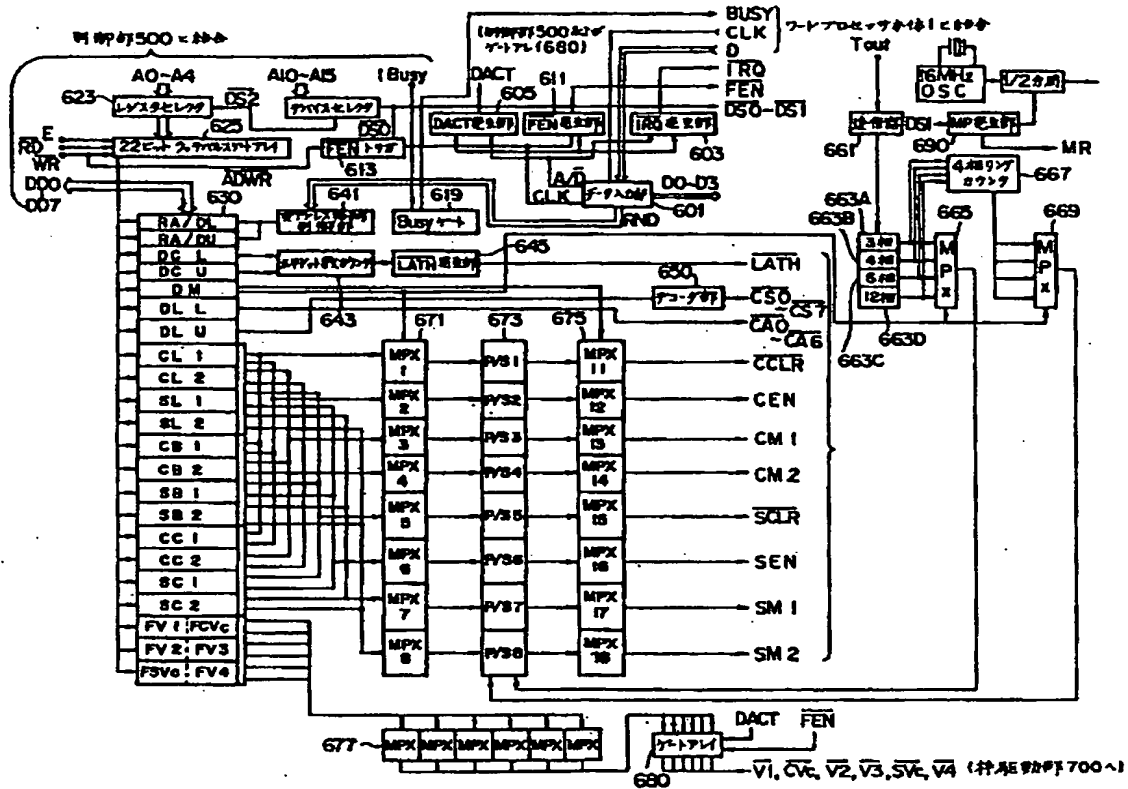
実施例におけるジャンピングボールの説明図

第 14 図

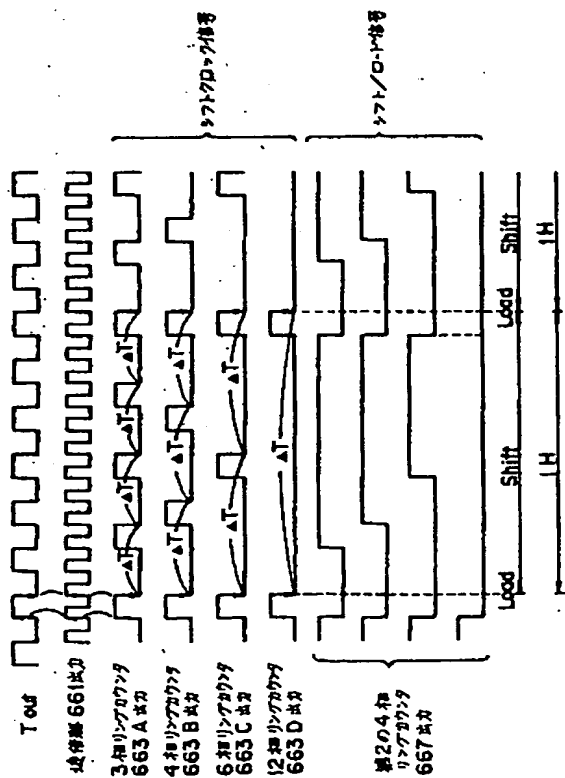


第15圖 実施例における更紗練廻転方法を示すフロー図

＜FLC用STD IC 70-9917774＞

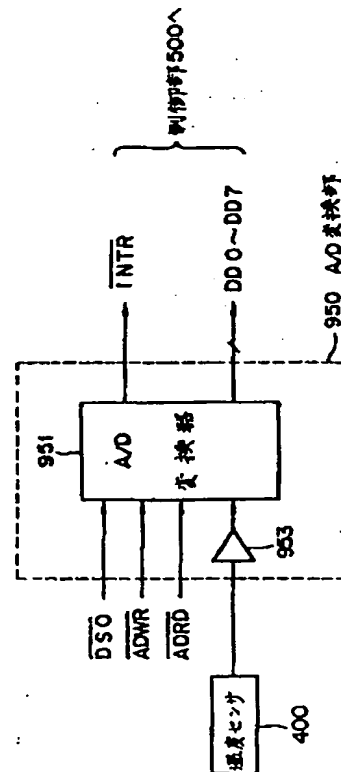


第18図 実施例におけるデータ出力部のブロック図



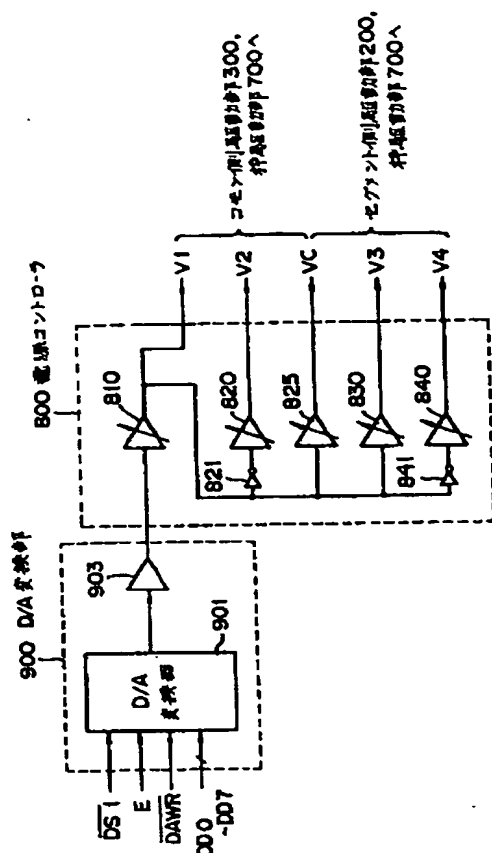
実施例におけるクロック信号の波形図

第17區

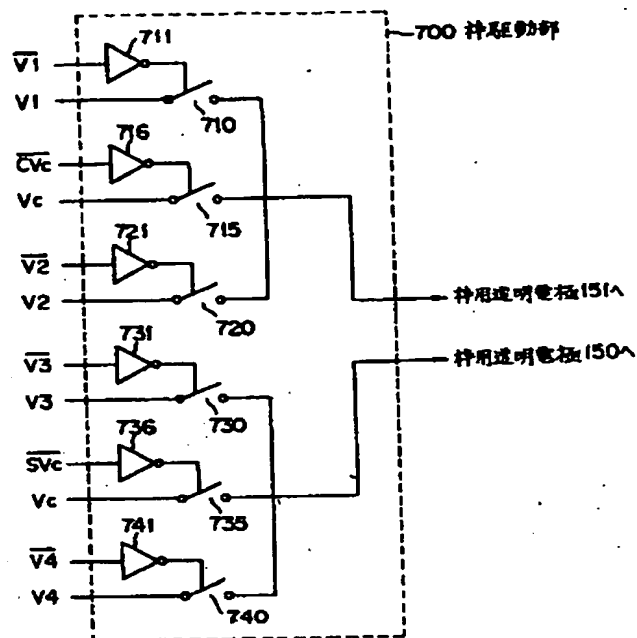


実施例の A/D 変換部を示すブロック図

圖 81 續

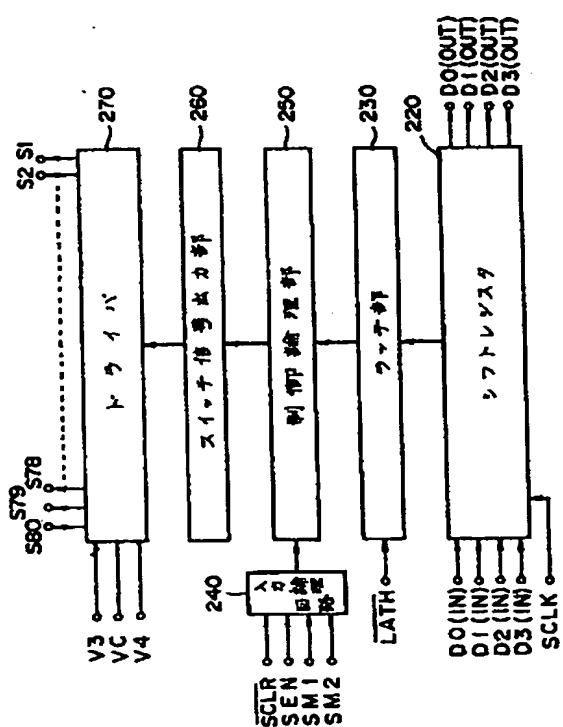


東施例のD/A変換部および電源コントローラを示すブロック図

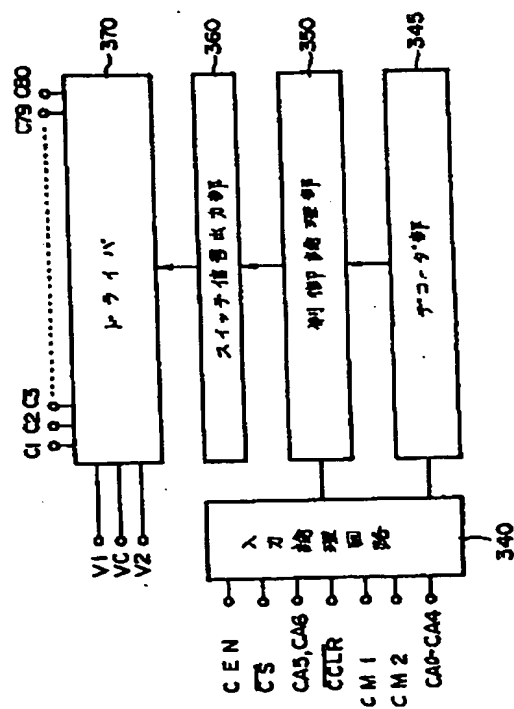


実施例の棒駆動部を示すブロック図

第20図

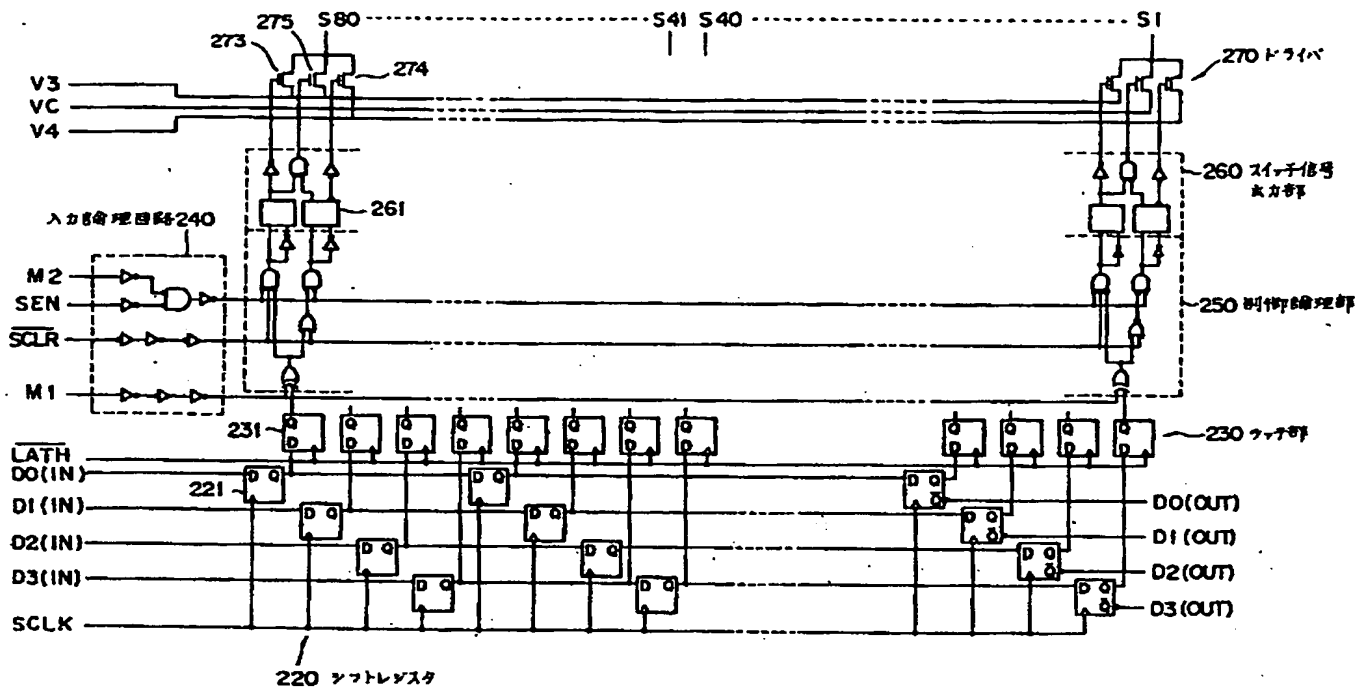


第21図

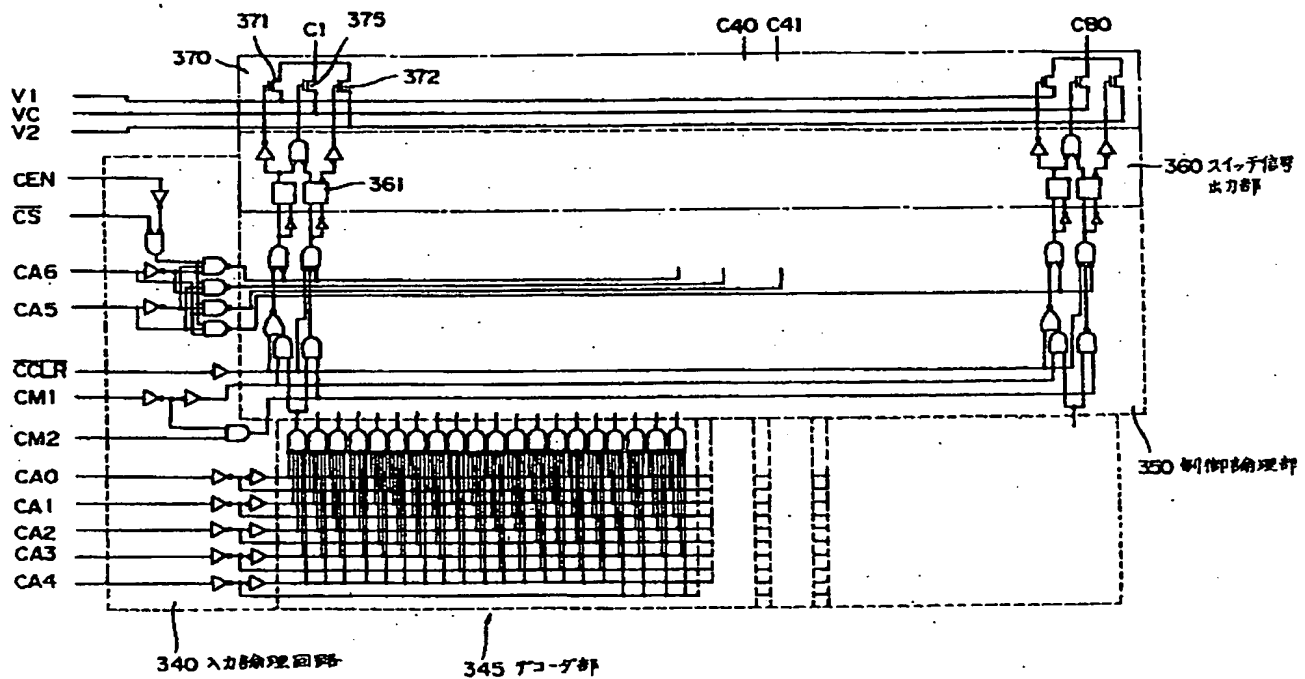


実施例のコモレ側駆動エレメントのアロック図

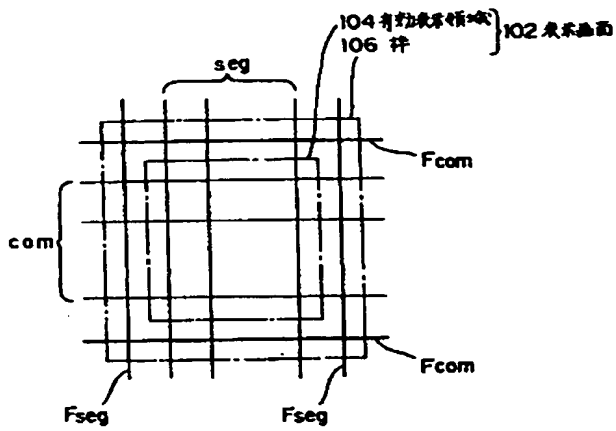
第23圖



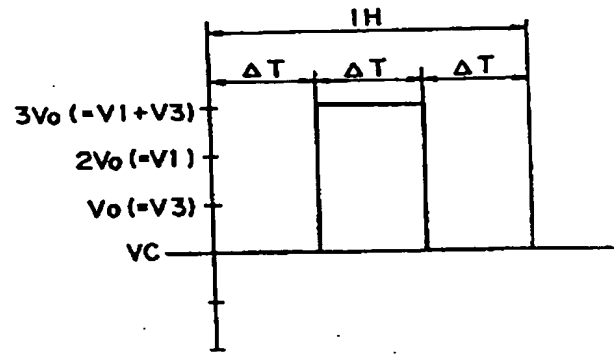
実施例のセグメント側駆動エレメントの回路図
第22図



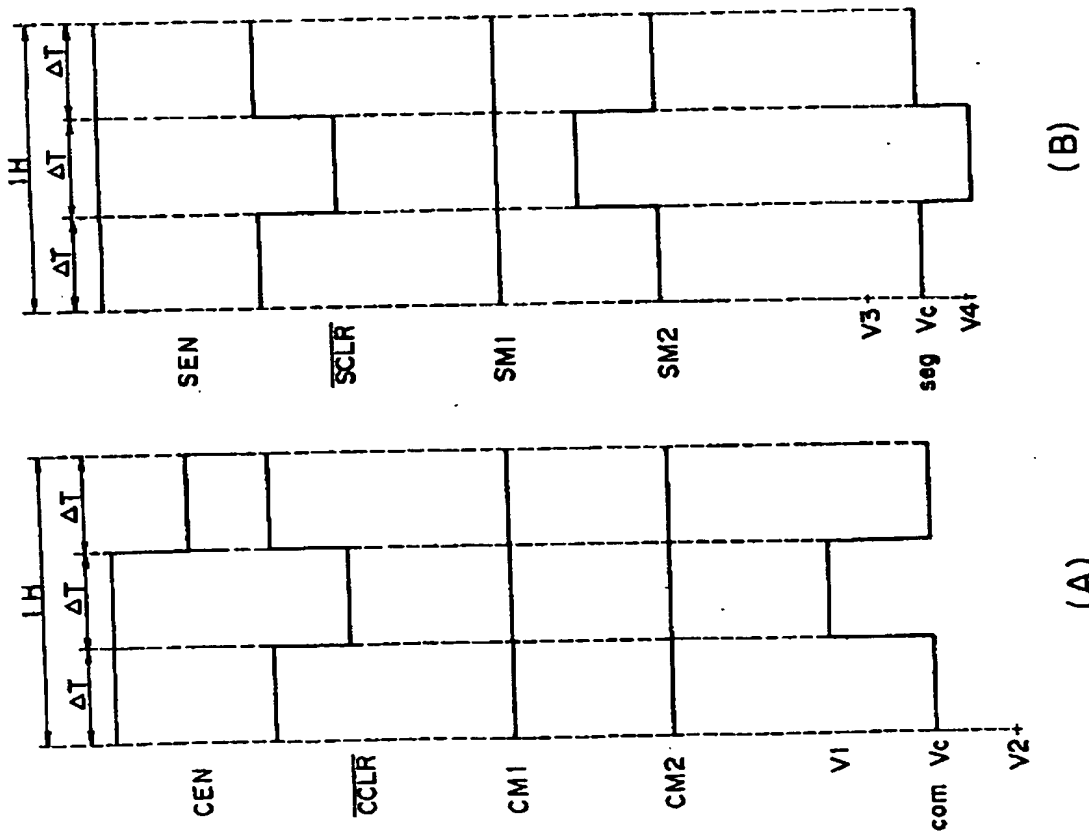
実施例のコモレ側駆動エレメントの回路図
第24図



第25図

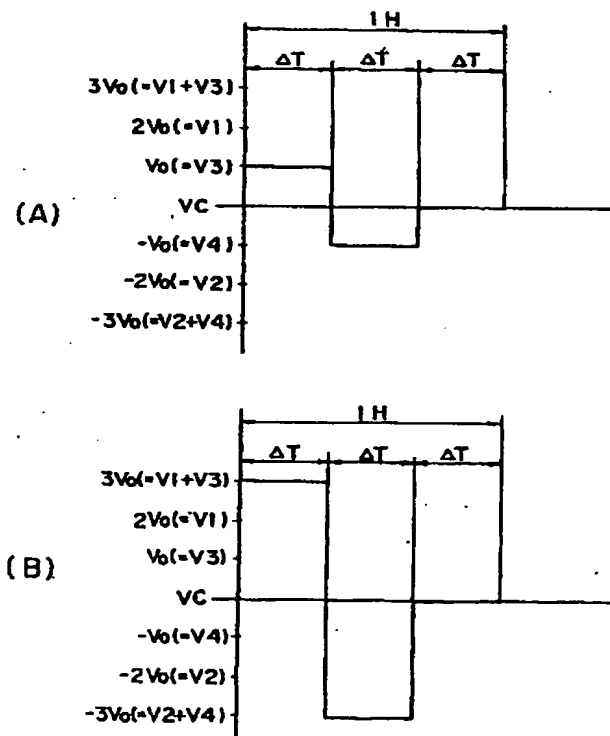
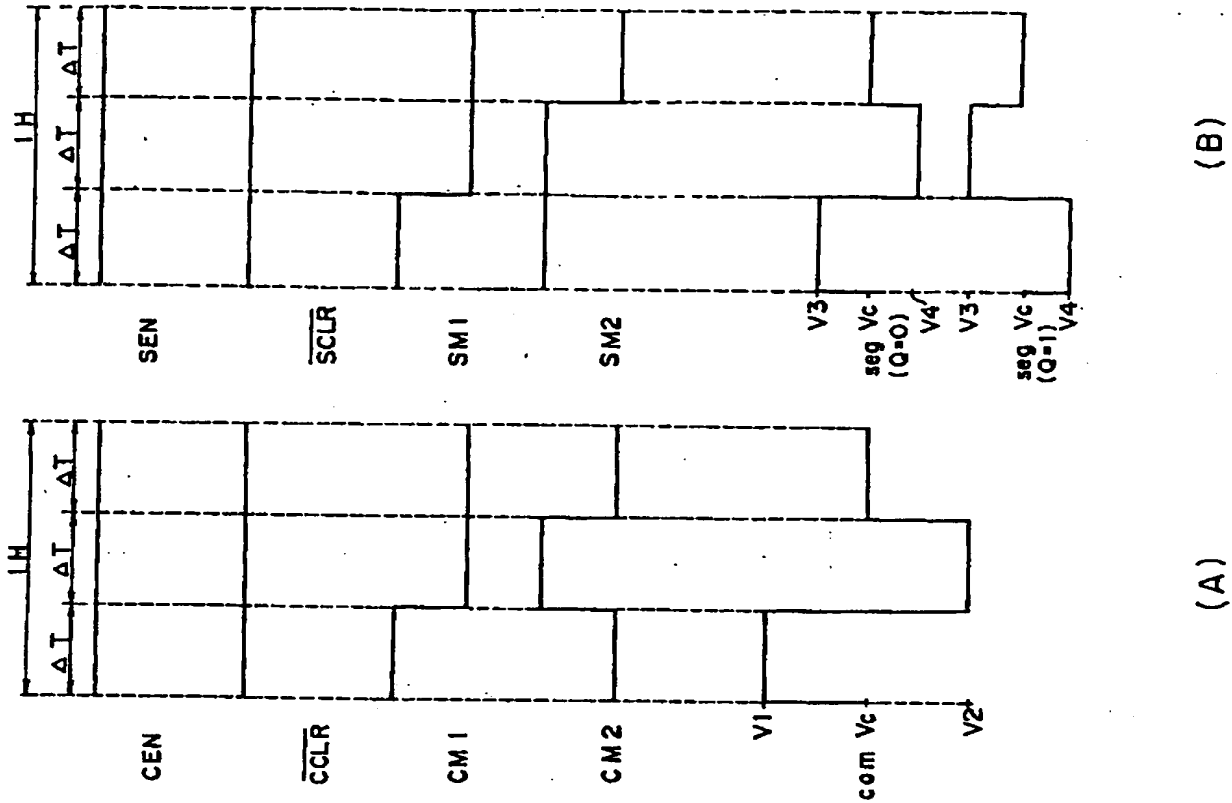


第27図

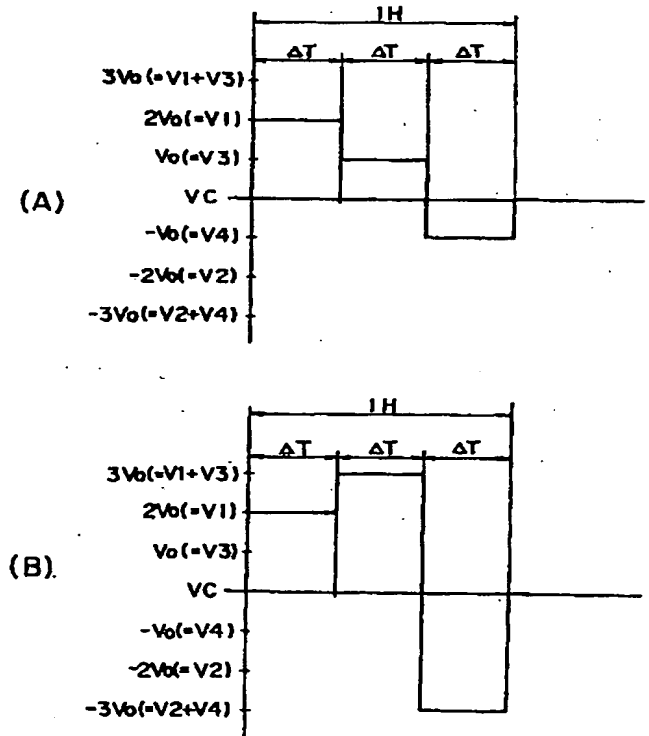


第26図

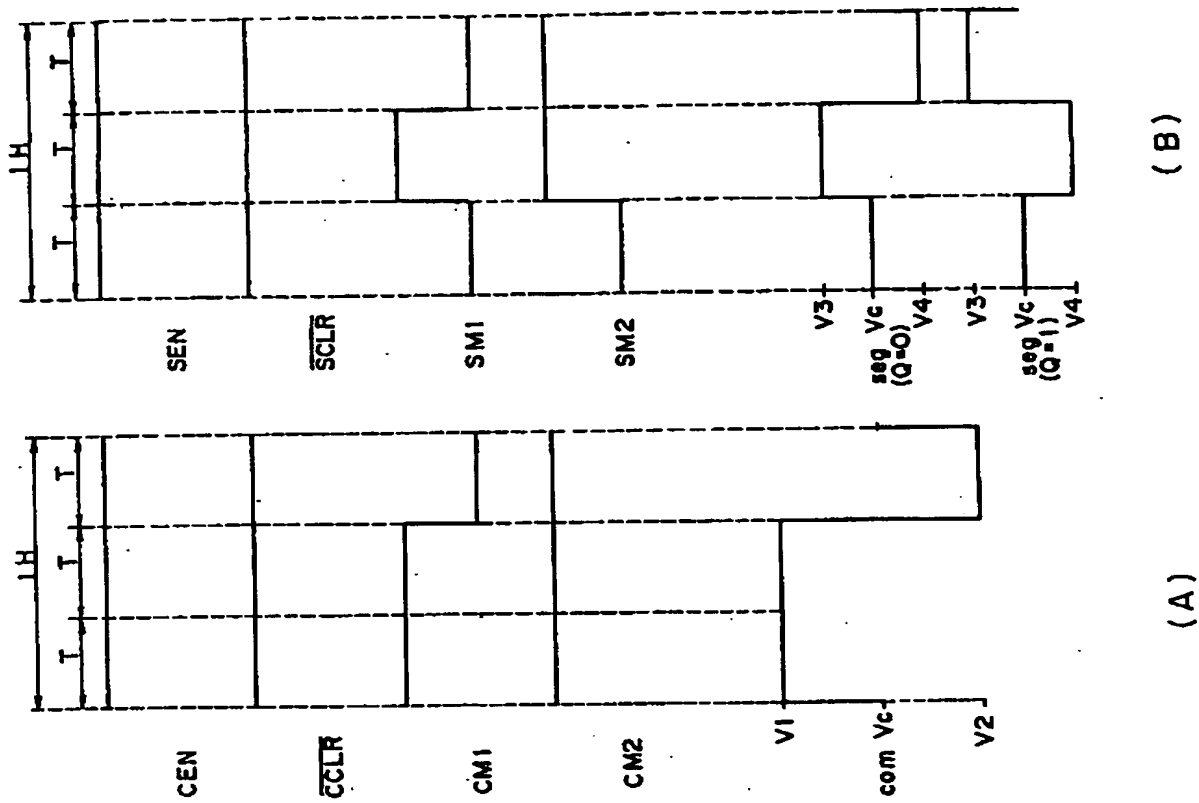
第 28 図



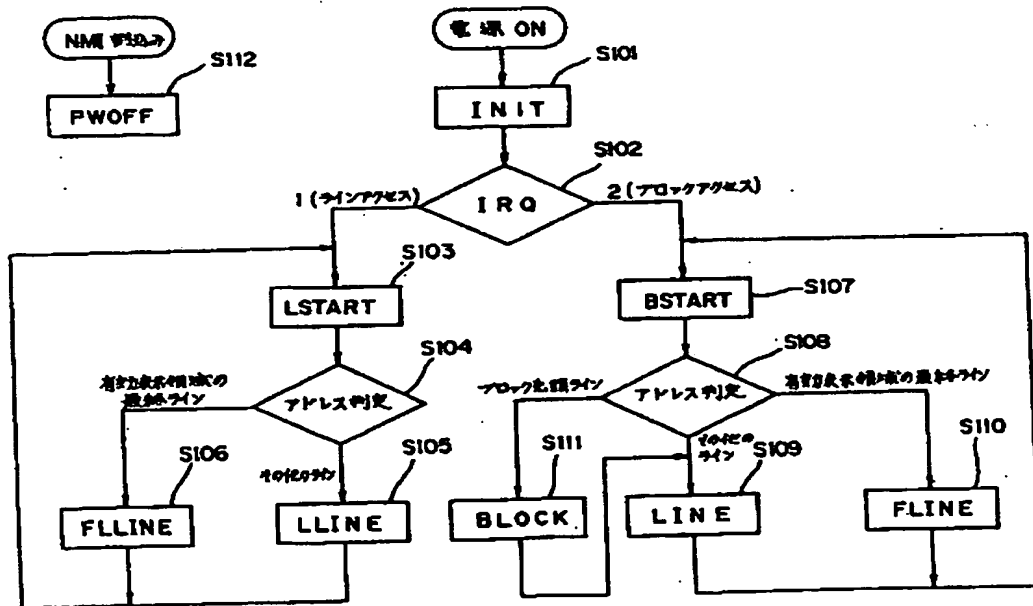
第 29 図



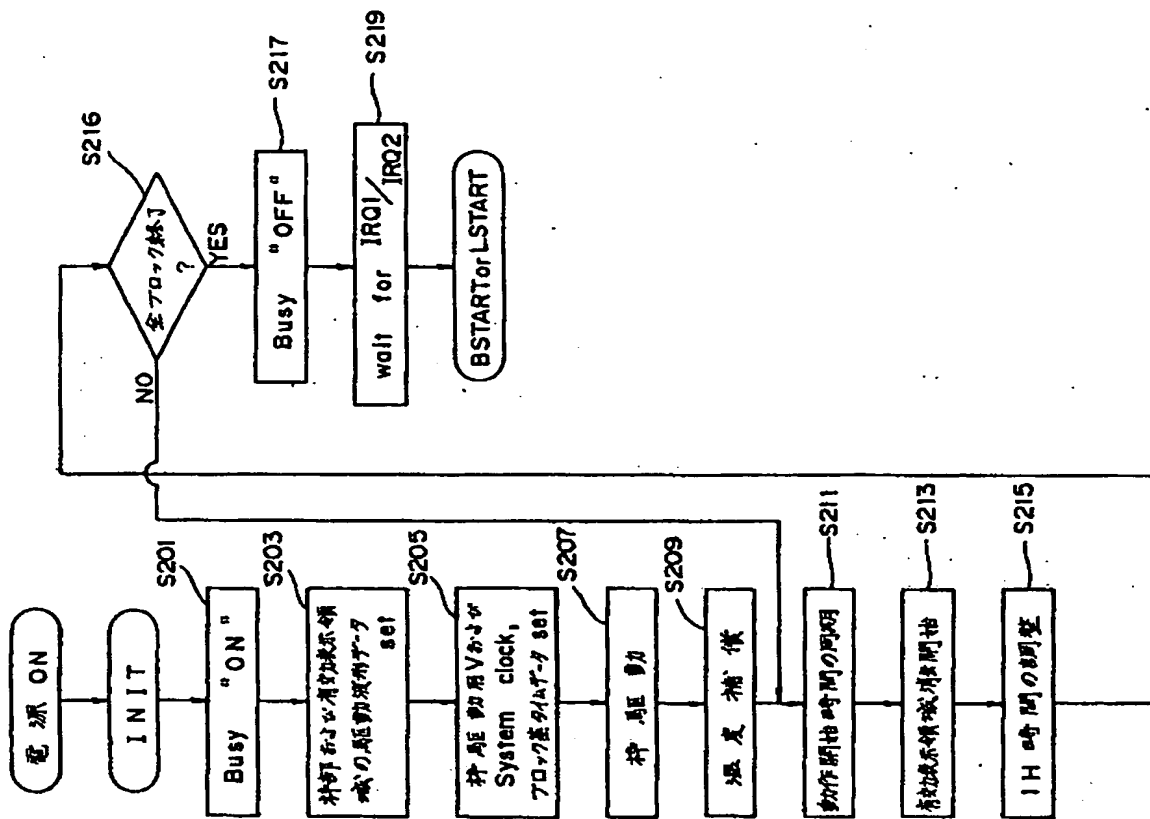
第 31 図



第30図

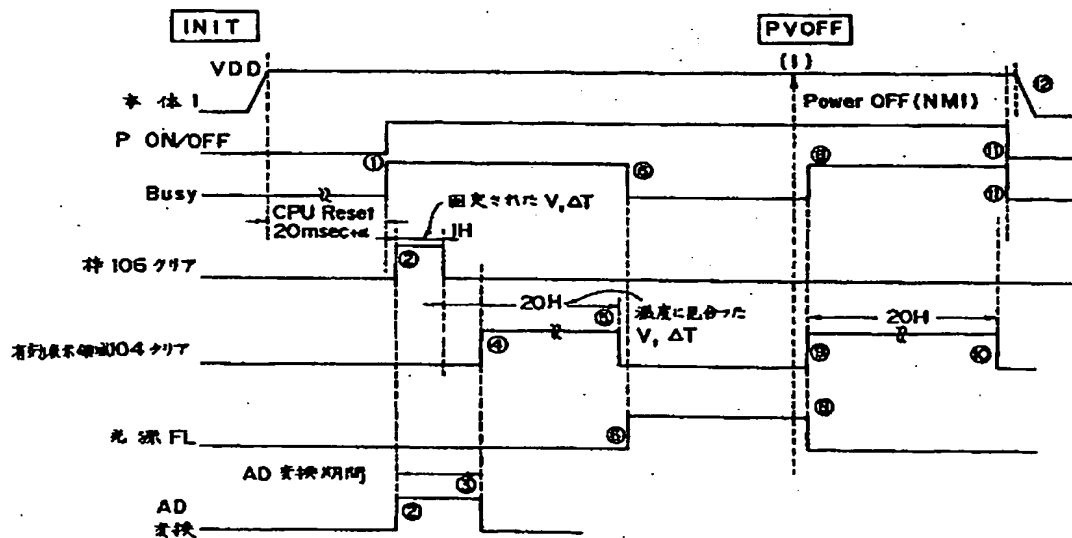


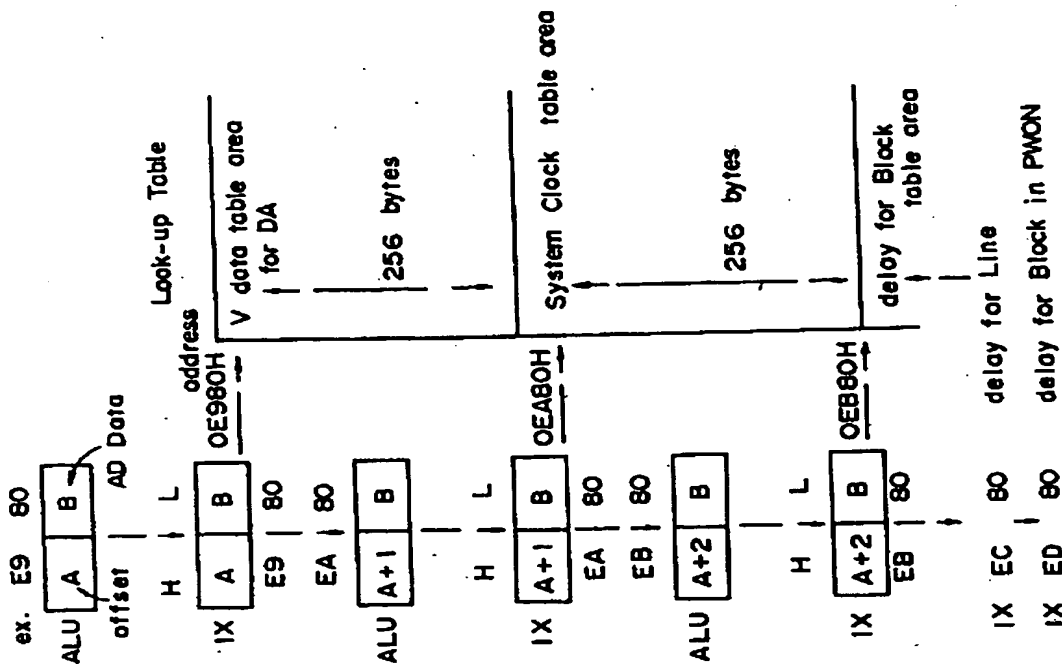
実施例の表示制御手順のフローチャート
第32図



実施例の表示制御手順を示すフローチャート

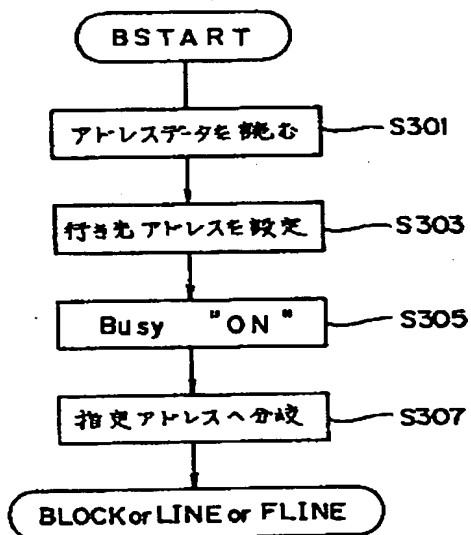
第33図

実施例の表示制御手順を示すタイムチャート
第34図



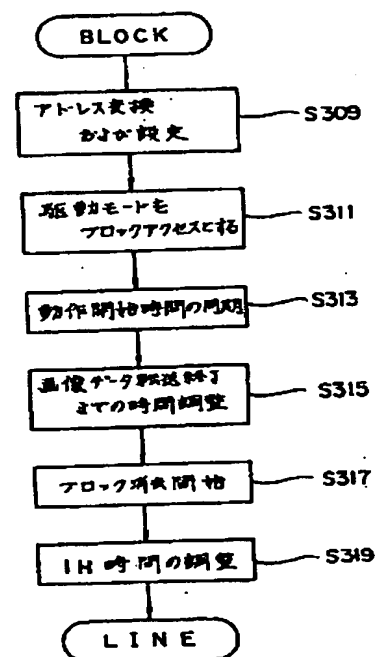
実施例の温度データ交換の説明図

第35區



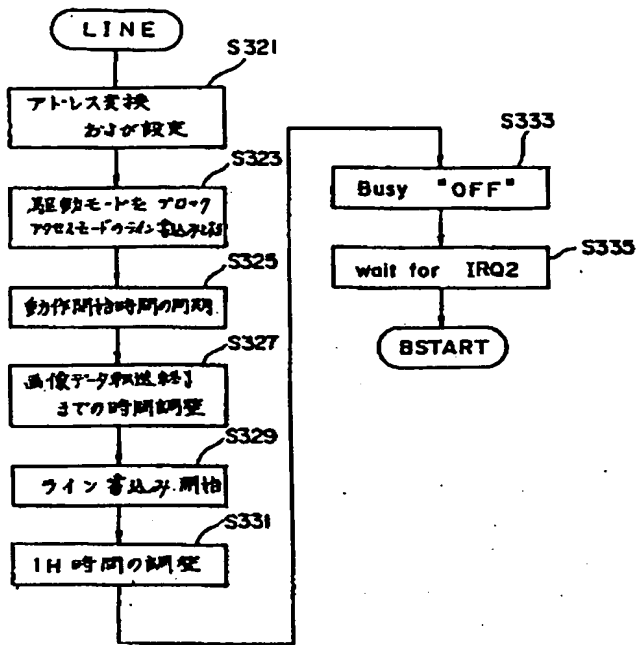
実施例の表示制御手順を示すフローチャート

第36図(A)



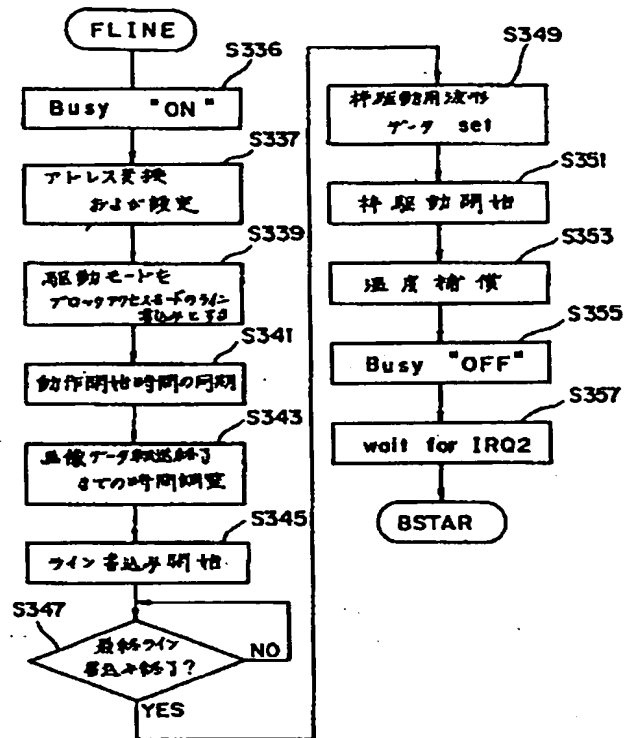
実施例の表示制御手順を示すフローチャート

第 36 圖 (B)



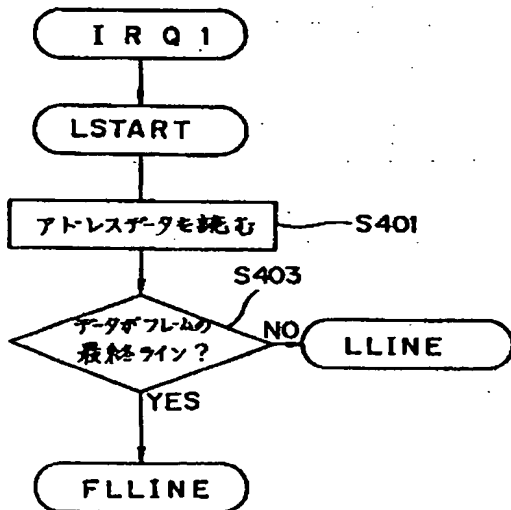
実施例の表示制御手順を示すフローチャート

第36図(C)



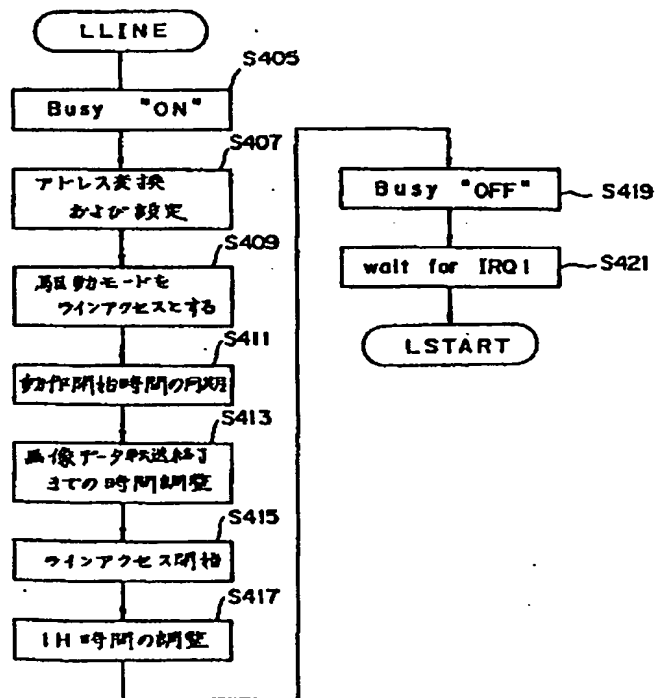
実施例の表示制御手順を示すフローチャート

第36図(D)



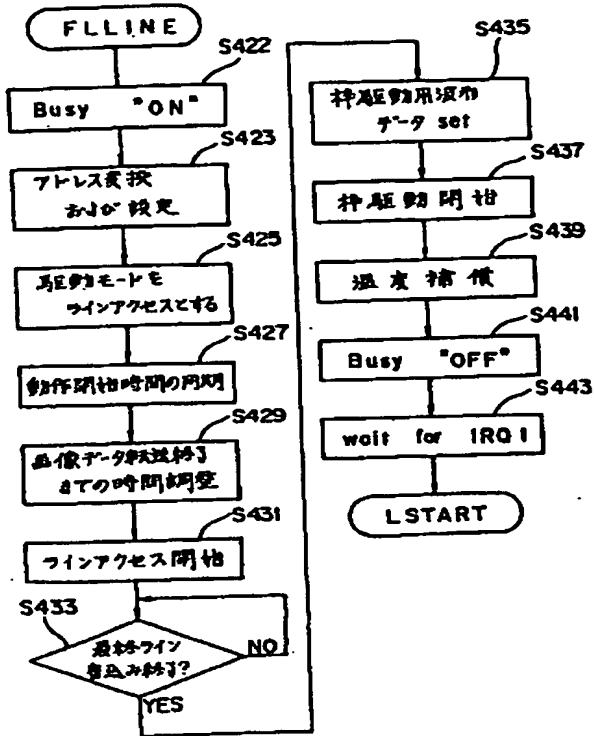
実施例の表示制御手順を示すフローチャート

第37図(A)

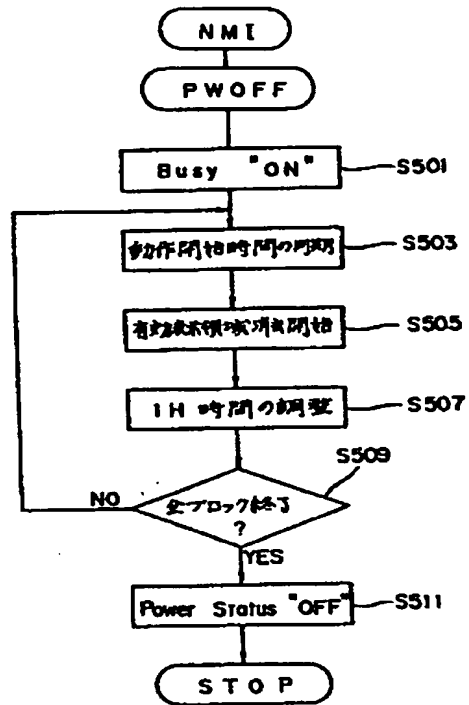


実施例の表示制御手順を示すフローチャート

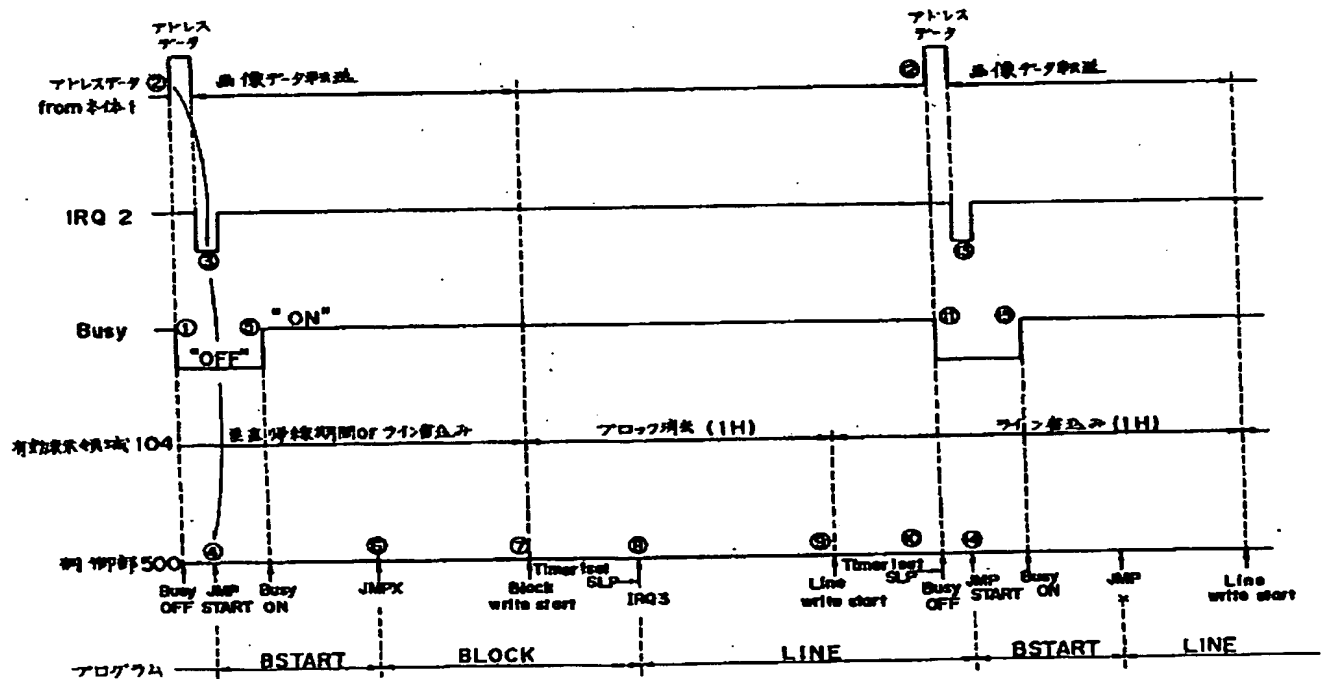
第37図(B)



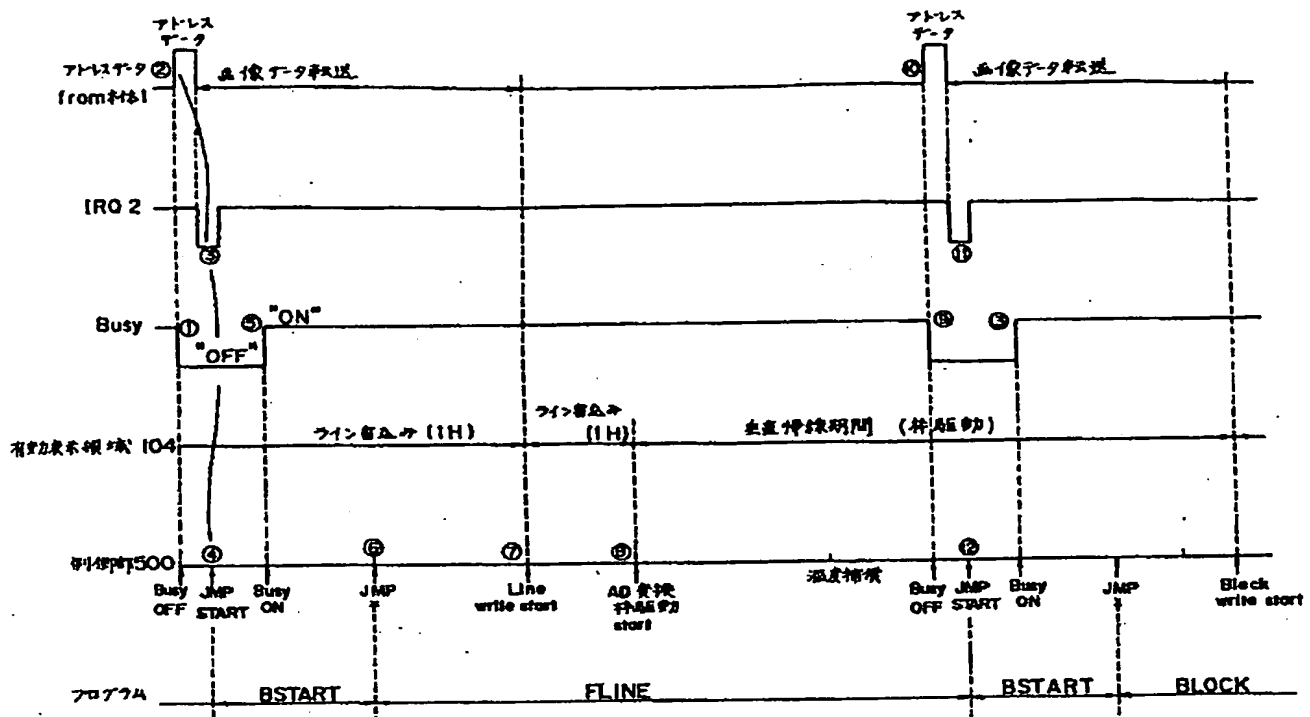
実施例の表示制御手順を示すフローチャート
第37図(C)



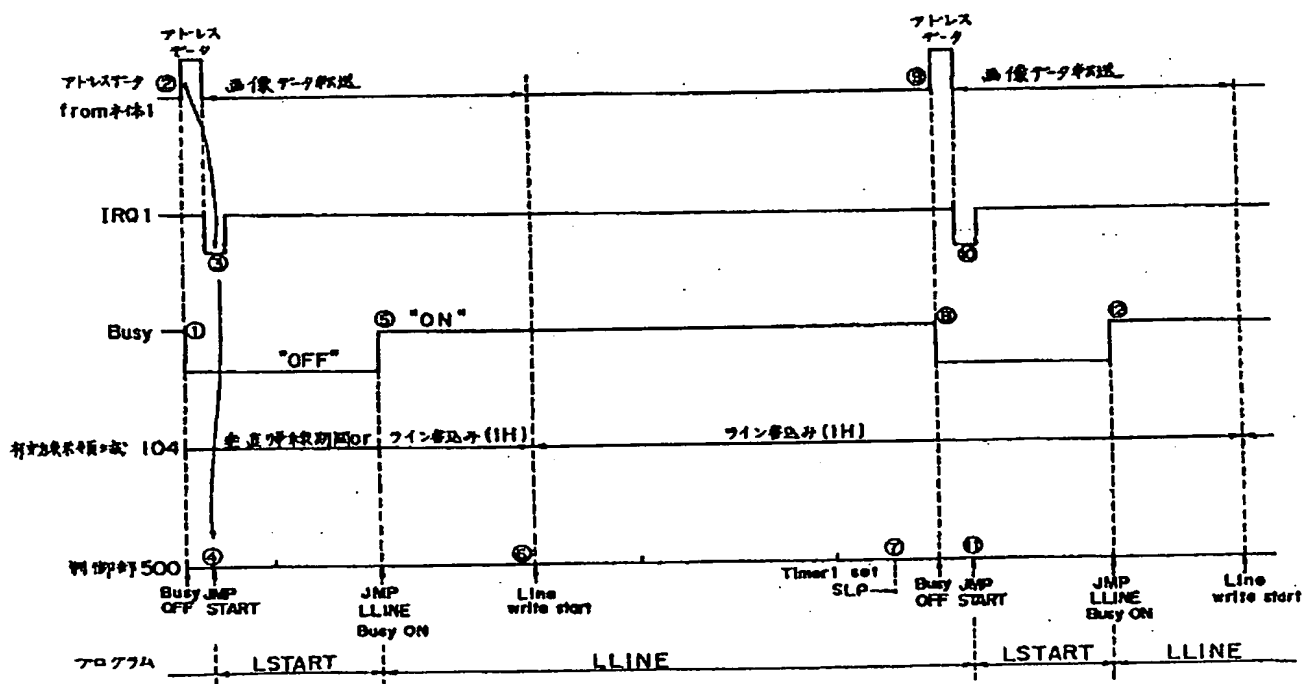
実施例の表示制御手順を示すフローチャート
第38図



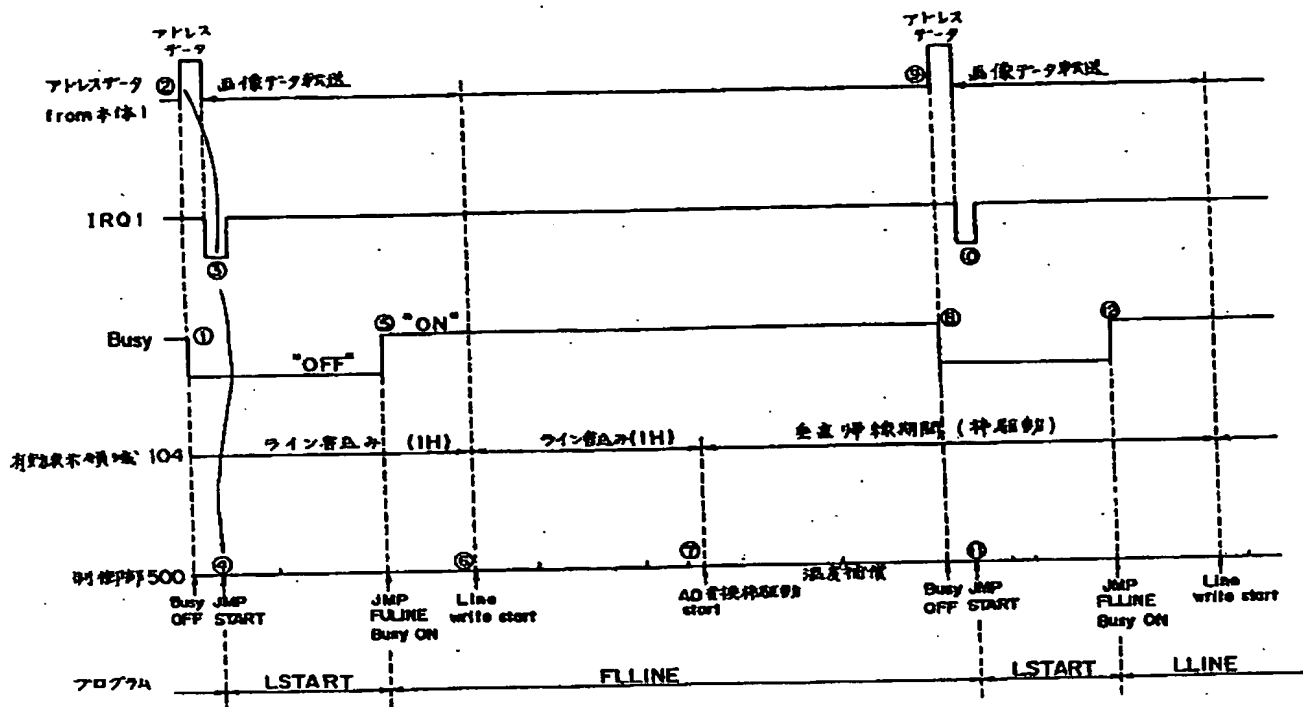
実施例の表示制御手順を示すタイムチャート
第39図(A)



実施例の表示制御手順を示すタイムチャート
第39図(B)

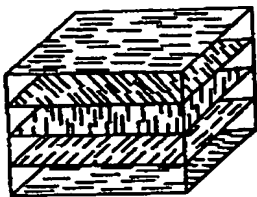


実施例の表示制御手順を示すタイムチャート
第40図(A)

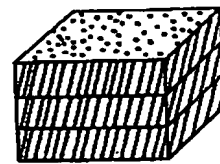


実施例の表示制御手順を示すタイムチャート

第40図(B)

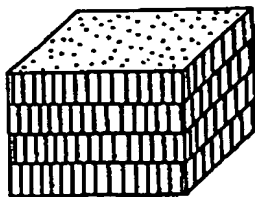


(A)



SmC 液晶の模式図

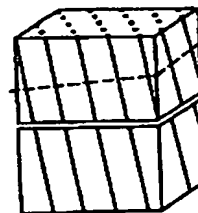
第42図



(B)

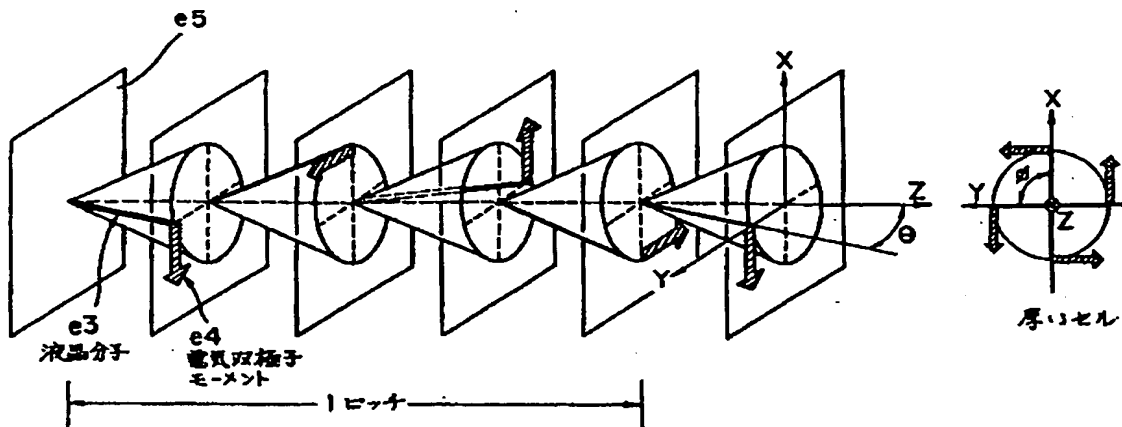
TN 液晶の模式図

第41図

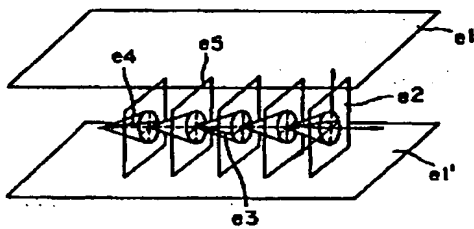


SmH 液晶の模式図

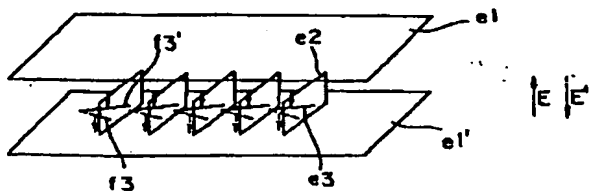
第43図



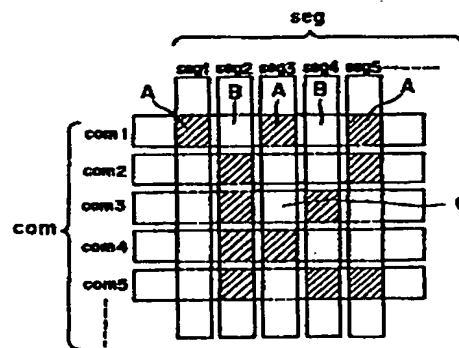
FLC 分子構造の模式図
第 44 図



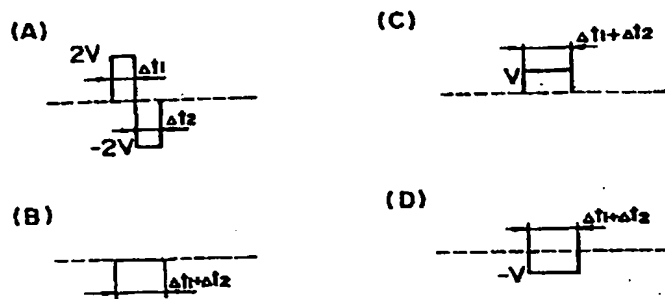
FLC 表示素子の模式図
第 45 図



実施例の FLC 素子の模式図
第 46 図

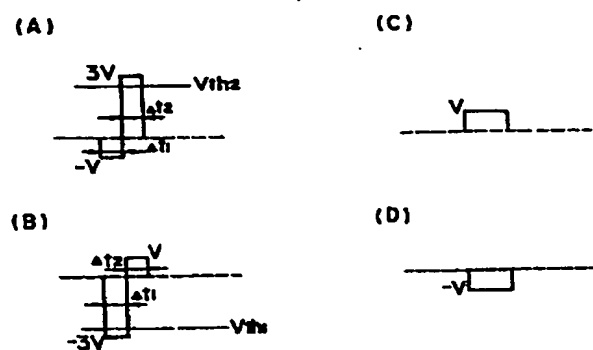


実施例のマトリクス電極構造の模式図
第 47 図



印加電圧の波形図

第48図



印加電圧の波形図

第49図